

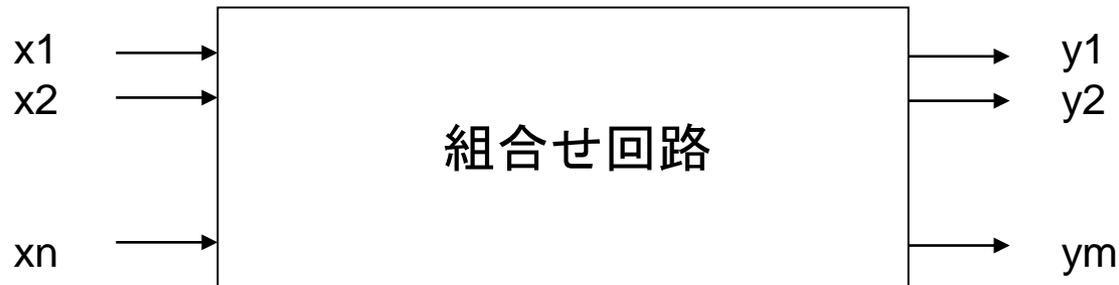
東北大学 工学部 機械知能・航空工学科  
2020年度 クラス C D

# 情報科学基礎 I

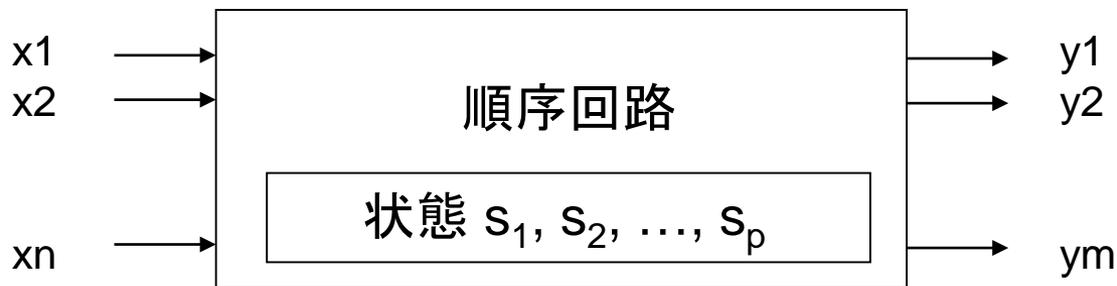
11. 順序回路の基礎  
(教科書4章)

大学院情報科学研究科  
鏡 慎吾

# 組合せ回路と順序回路



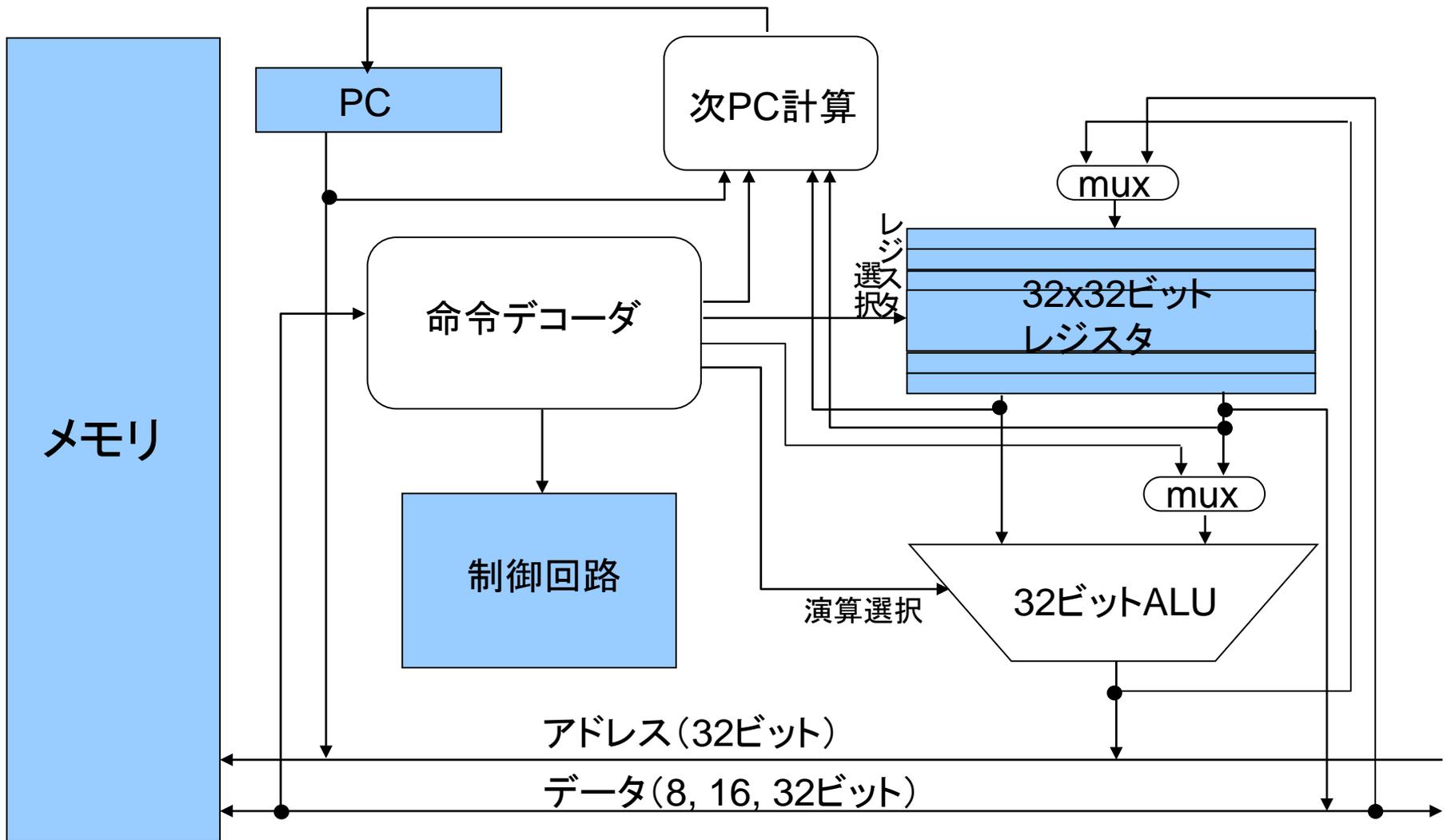
組合せ回路: 出力は, その時点の入力の組合せのみで決まる



順序回路: 出力は, 現在までにどんな入力がどんな順序で与えられたかによって決まる

回路内に**内部状態**(記憶)が必要

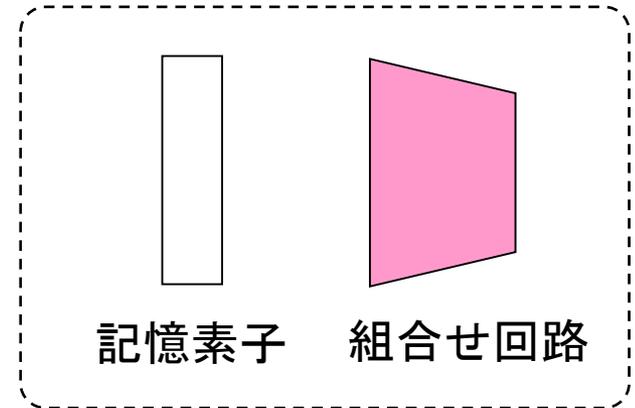
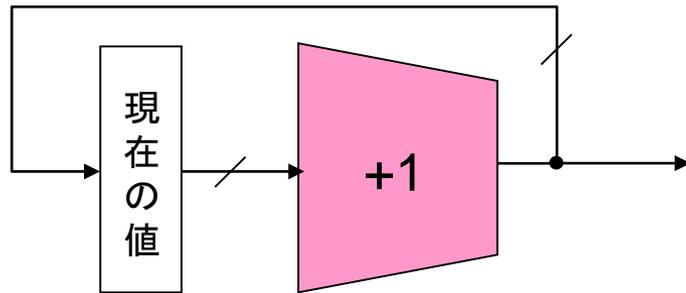
# 復習: MIPSの構造



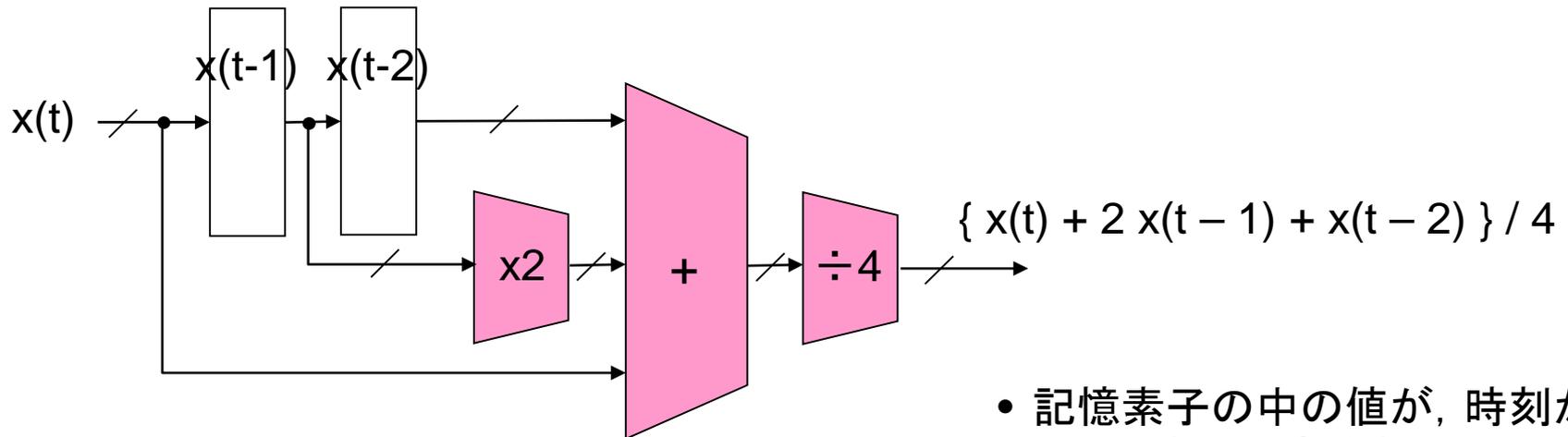
- 記憶素子を含む回路はすべて順序回路
- 全体も大きな順序回路と言える

# 順序回路の構成例

## カウントアップ回路



## 時系列信号の平滑化回路



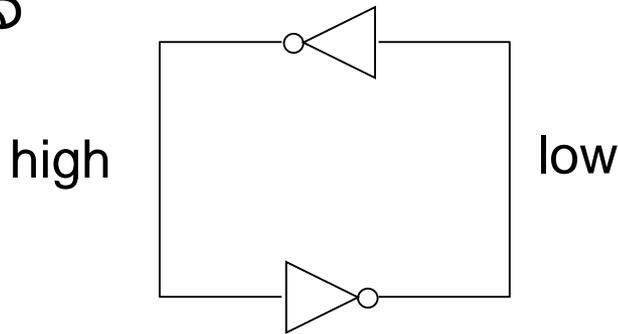
- 記憶素子の中の値が、時刻が進むにつれて更新されていく
- 「時刻」とは? という話は後ほど

---

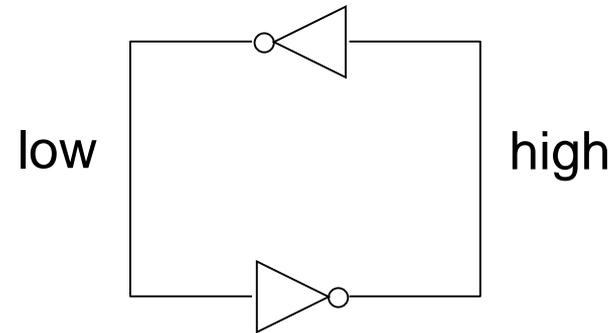
# フリップフロップ回路

# 記憶の原理

2つの安定な物理状態を持つ系は、1ビットの情報を記憶することができる



→ 1 と定義



→ 0 と定義

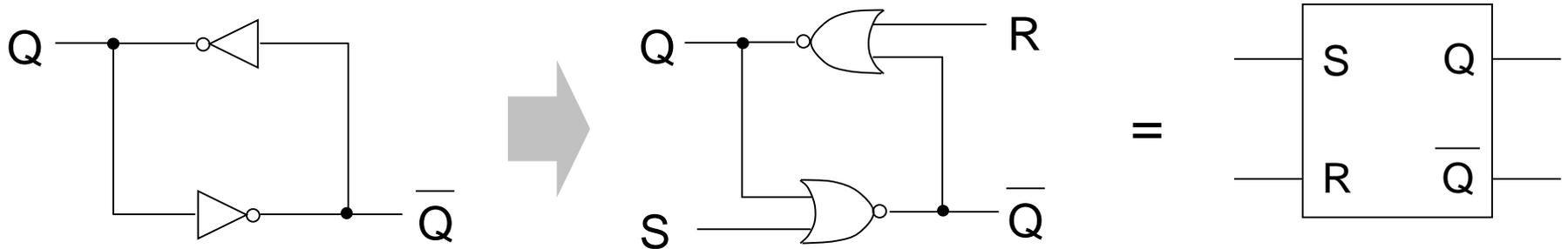
注: 定義は逆でも構わない (そもそも図の左右に意味はない)

問題は、どのように状態を変化させるか

- NOTゲートより強く電流を流す回路を外部に用意して強制的に変化させることも一応は可能 (次々回に学ぶ SRAM 回路)
- しかし今回はあくまでデジタル回路の範疇で考えたい

# SR (Set-Reset) フリップフロップ (FF)

NOT ゲートの代わりに NOR ゲートを使うと, 入力 S, R によって信号のループを断ち切って Q を変えることができる



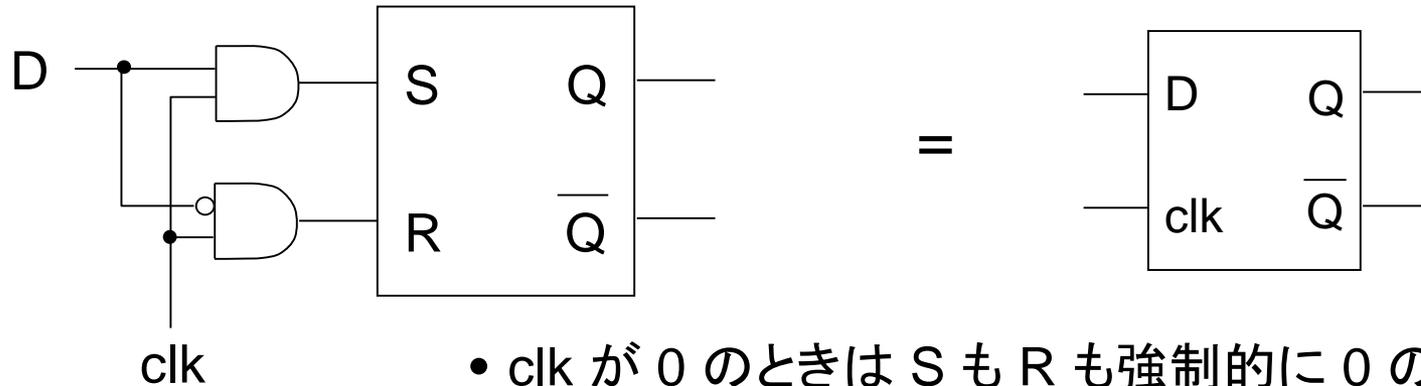
S	R	Q	$\bar{Q}$
0	0	保持	
0	1	0	1
1	0	1	0
1	1	禁止	

問題点:  $S = R = 1$  は入力禁止

この回路の場合は Q も  $\bar{Q}$  も 0 になり,  
その後  $S = R = 0$  としたときの状態は予測できない

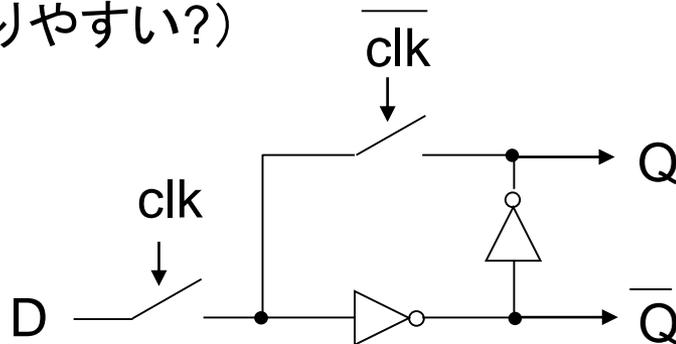
# Dフリップフロップ (Dラッチ)

入力データ信号 (D) と記憶タイミング信号 (clock) を分離する



- $clk$  が 0 のときは  $S$  も  $R$  も強制的に 0 のまま
- $clk$  が 1 のときは  $D$  と  $\overline{D}$  がそれぞれ  $S$  と  $R$  になる (=  $D$  と  $\overline{D}$  がそのまま  $Q$  と  $\overline{Q}$  として現れる)

スイッチを使って以下のように作ることもできる(むしろこの作り方の方が普通だしわかりやすい?)

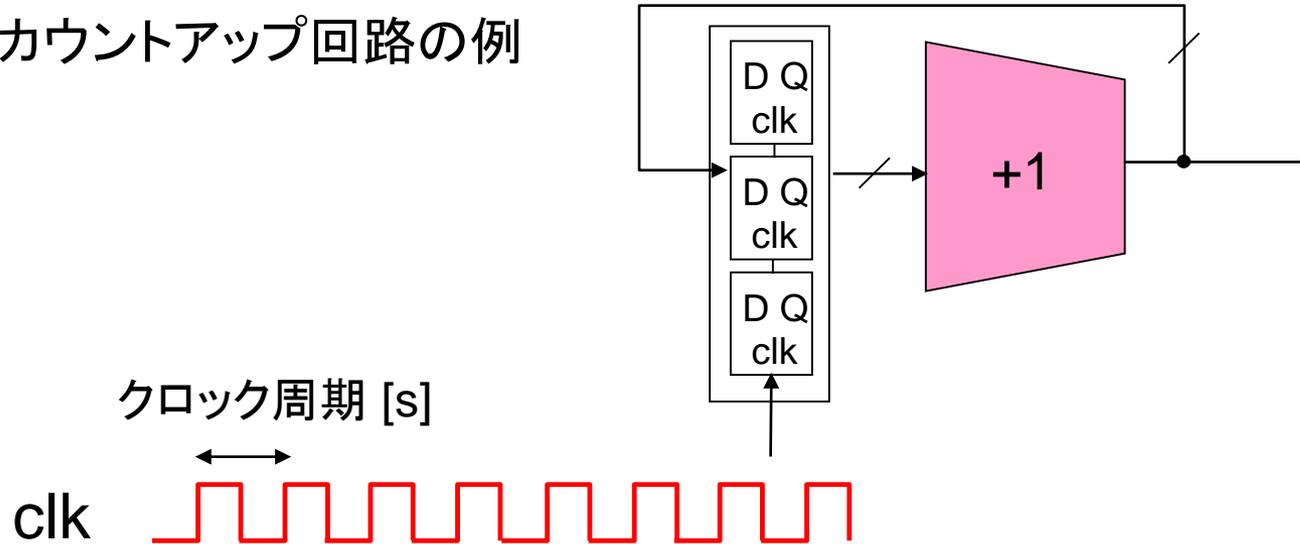


- $clk$  が 0 のときは状態保持
- $clk$  が 1 のときは  $D \rightarrow Q$  は筒抜け



# D-FF (Dラッチ) の問題点

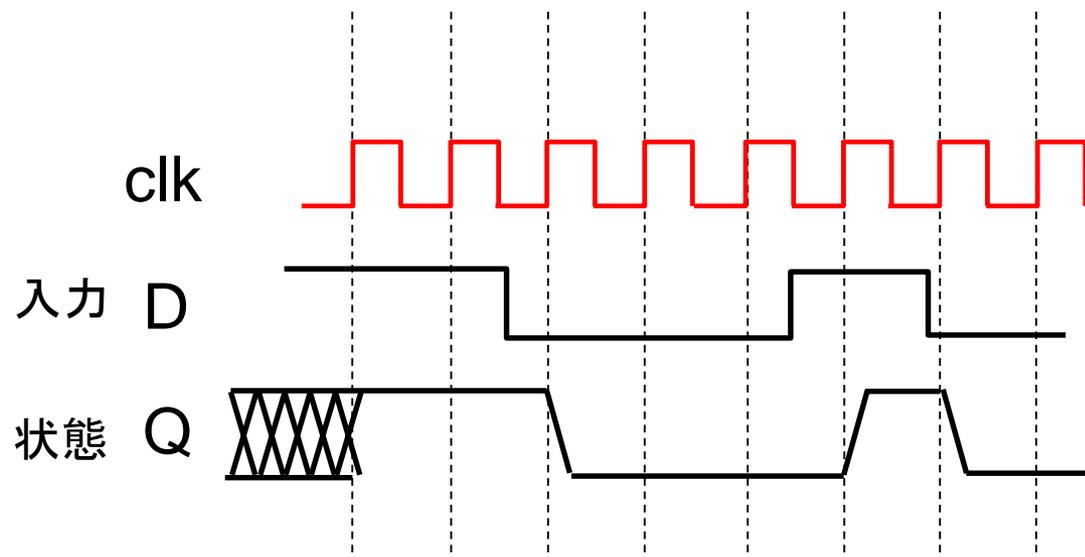
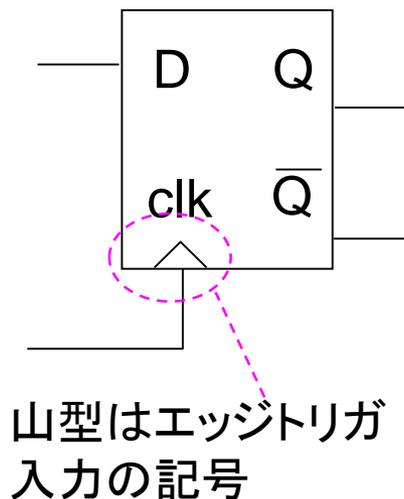
カウントアップ回路の例



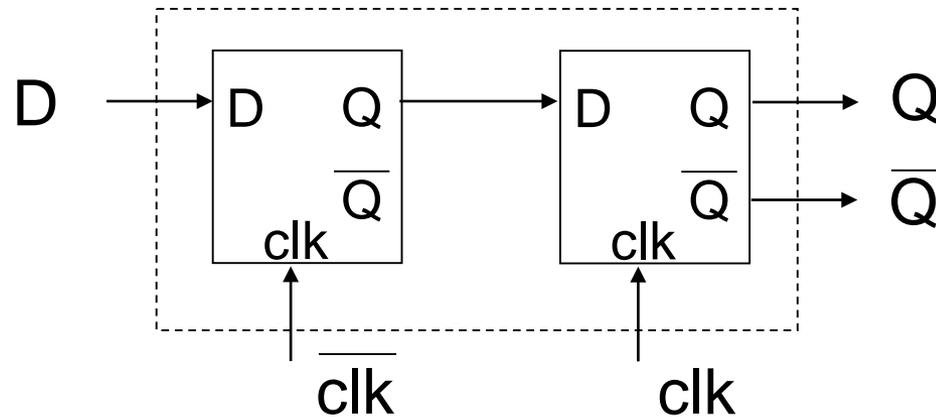
- クロック信号は通常, 一定周期で 1 と 0 を繰り返すことで回路の動作タイミングを指定する
  - 「クロック信号が1である時間」の長さは,
    - 長すぎてもダメ: 状態変化の結果が再び入力に影響してしまう
    - 短すぎてもダメ: FF 自体の動作が間に合わない
- このままでは設計が非常に難しい

# エッジトリガ FF と同期式順序回路

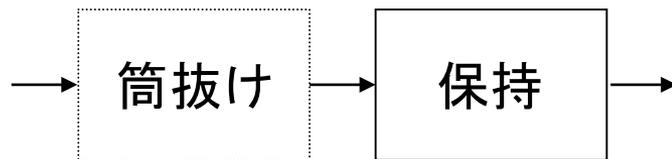
- もし、クロック信号が立ち上がる「瞬間」でしか入力を読み取らない記憶回路があれば、この問題は解決する
- このような動作をする FF をエッジトリガ型と呼ぶ
  - 対して、前ページまでの FF をレベルセンシティブ型と呼ぶ
- すべての記憶素子がエッジトリガ型で、同一のクロック信号により動作する回路を(完全)同期式順序回路と呼ぶ



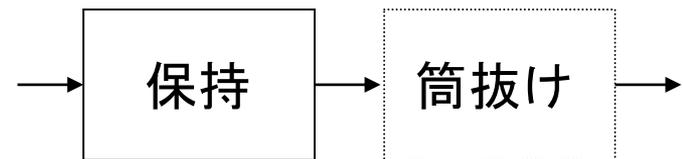
# エッジトリガ D-FFの構成例 (マスタースレーブ型)



clk = 0 のとき:



clk = 1 のとき:

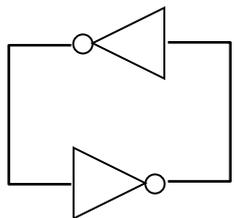


後段のラッチは前の値を保持。  
前段のラッチは開き、次に保持すること  
になる情報を後段に素通しにしている

クロックが立上ると、前段のラッチが  
閉じて**その瞬間の値を記憶**し、後段  
のラッチは開いて素通しになる

# 参考: いろいろなフリップフロップと関連用語

基本フリップフロップ

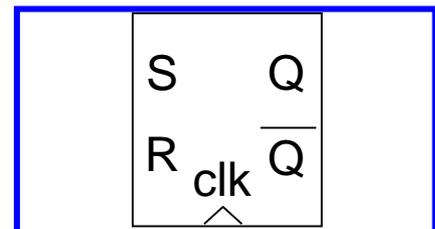
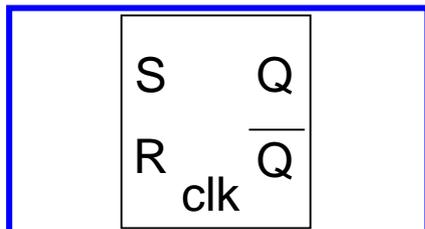
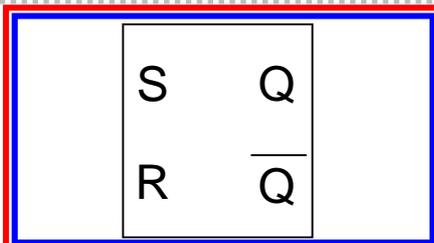


クロック無し

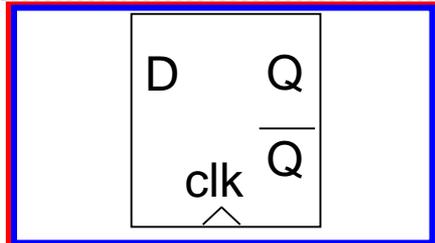
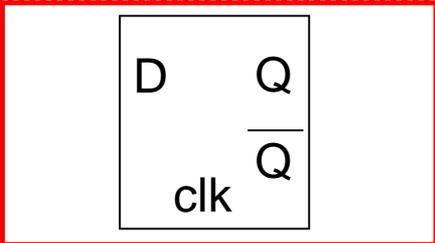
レベルセンシティブクロック

エッジトリガクロック

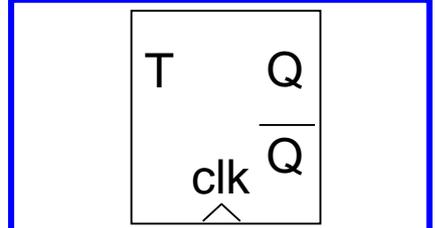
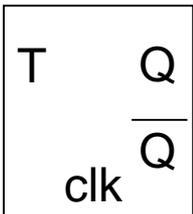
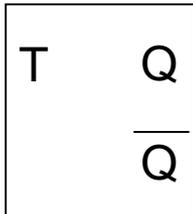
SR



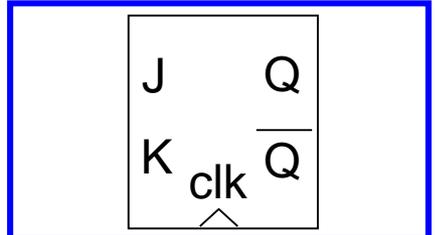
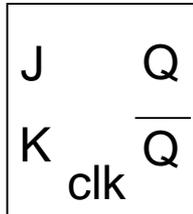
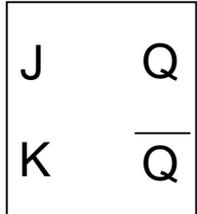
D



T



JK



- 前ページのものをすべてフリップフロップと呼ぶ流儀と、エッジトリガのものだけフリップフロップと呼び、クロック無しあるいはレベルセンシティブなものはラッチと呼ぶ流儀がある
- 特定の構成方法のもののみをエッジトリガ型と呼び、マスタースレーブ型とは区別する流儀もある
- レベルセンシティブクロック入力をクロックとは呼ばず、イネーブル信号と呼ぶ流儀もある
  
- T-FF は、入力 T が 1 になると Q が反転する (Toggle)
- JK-FF は、両入力が 1 のときに Q が反転するように SR-FF を改良したもの (J と K の由来は不明)

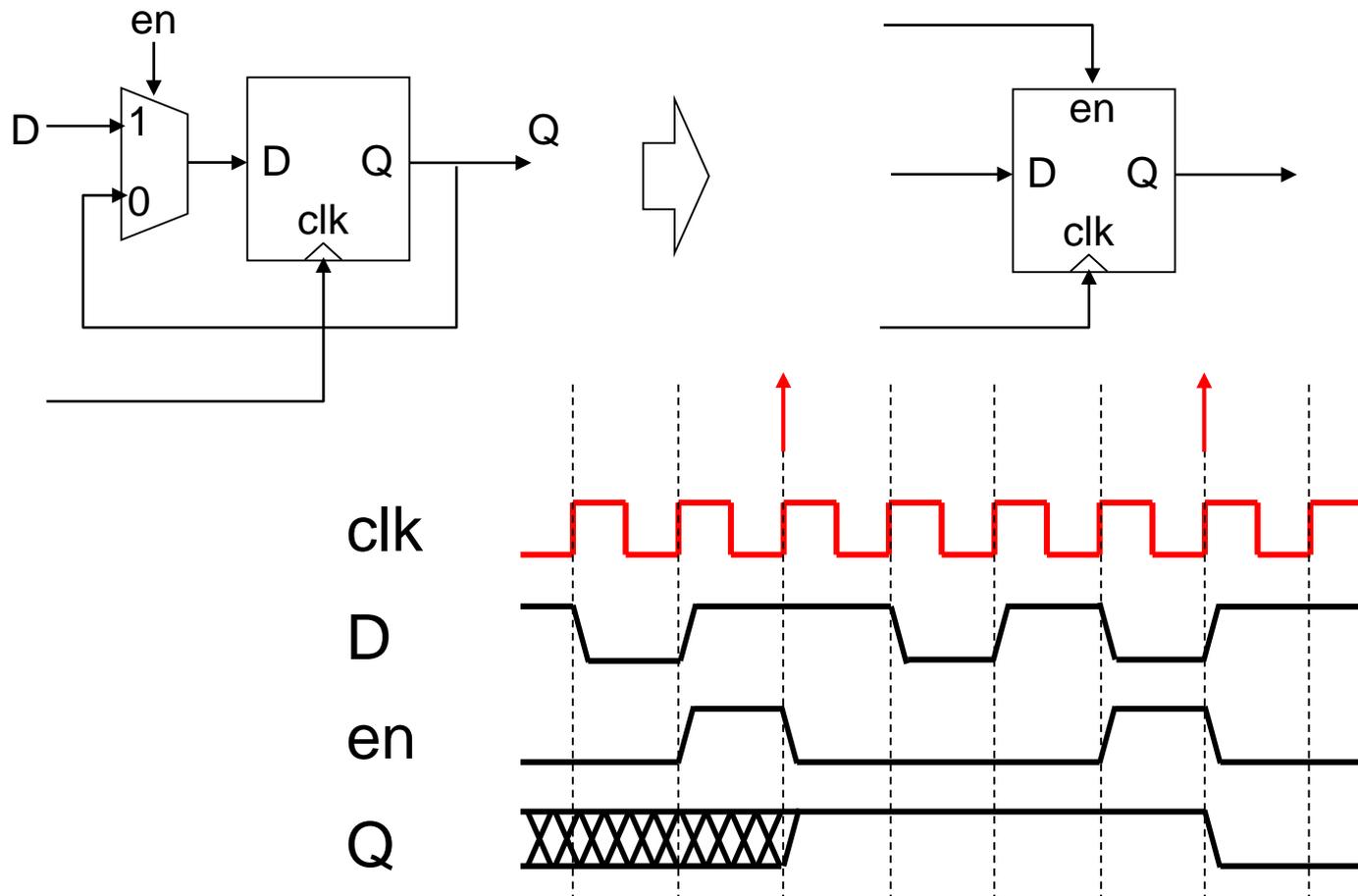
コンピュータの理解には、エッジトリガ型 D-FF だけでほぼOK。以降、D-FF といったらこれを指す

---

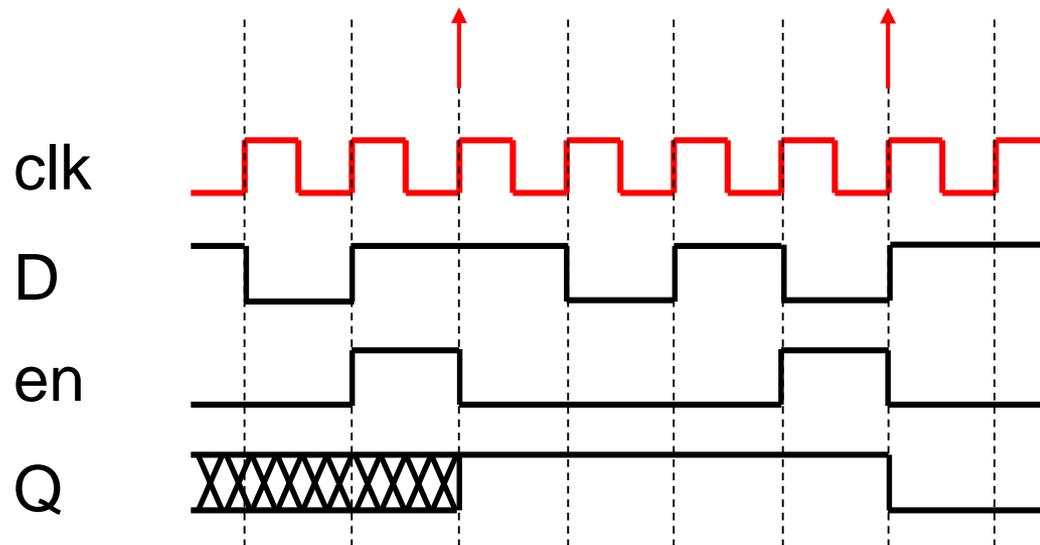
# D-FFの応用回路

# イネーブルつきD-FF

- 毎クロック必ず記憶するのが便利とは限らない
- $en = 1$  であるようなクロック立上り時にだけ入力を記憶する  
(あるクロック立上りで記憶するかどうかはその瞬間の  $en$  で決まる)

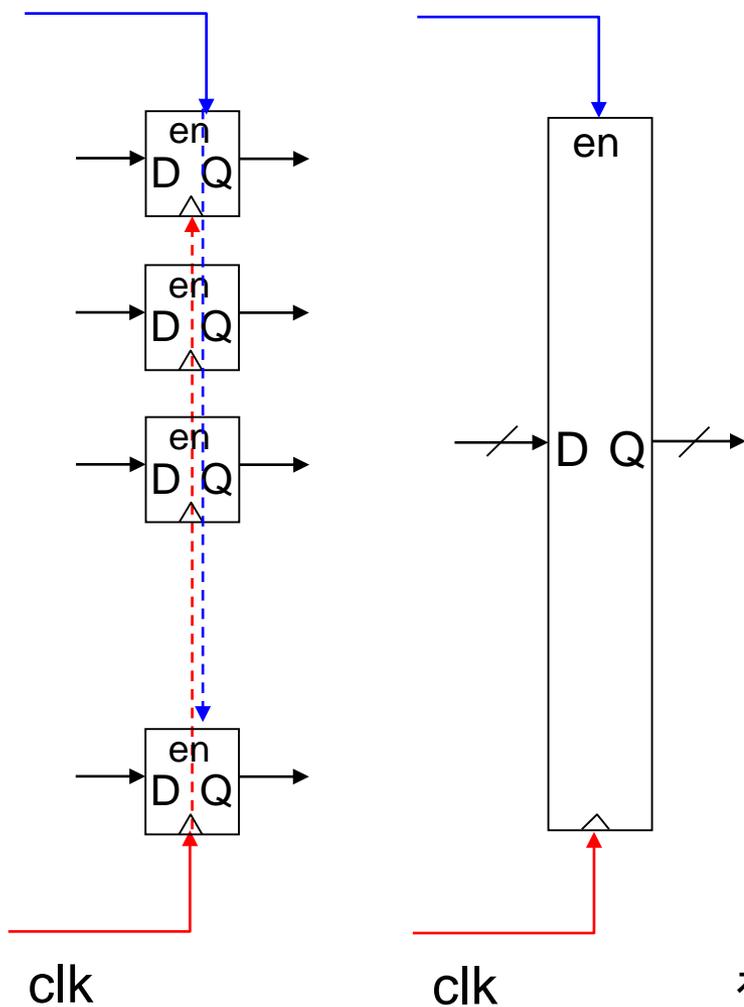


# 立上り・立下り時間を無視して描かれたチャートの解釈

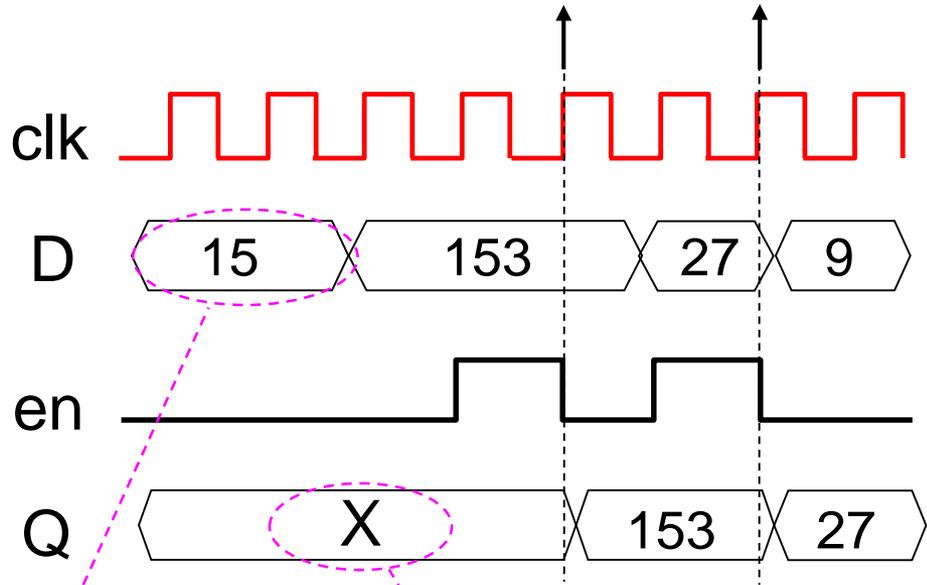


- 上図のように描かれた場合「クロック立上りの瞬間の D や en の値」はどこを見ればよいのか?  
→ クロック立上りの直前を見る
- D も en も同じ clk に同期した回路から生成されていると考える(完全同期式回路). したがって D や en の変化は clk の立上りに先立って起きることはない

# レジスタ



D-FFを n 個並べる → n ビットレジスタ

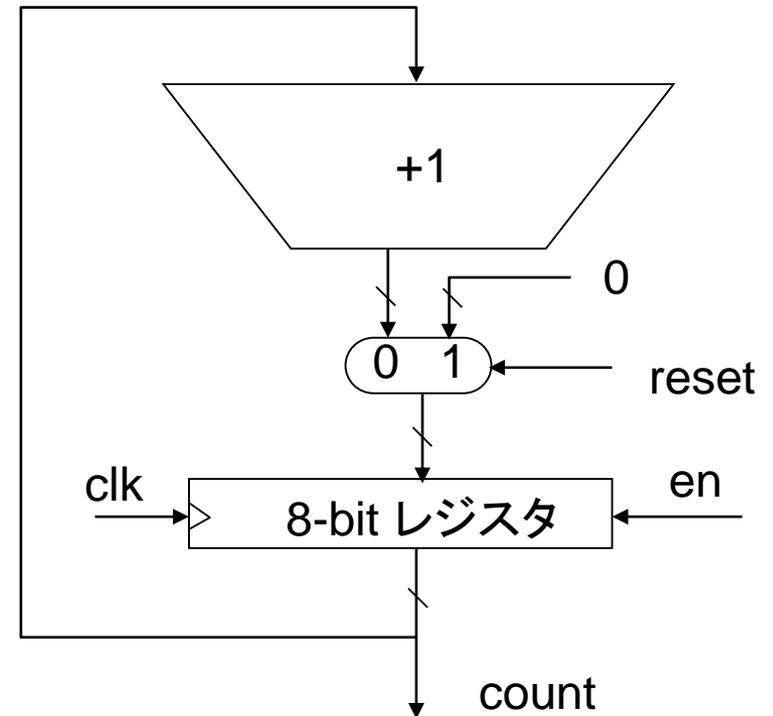
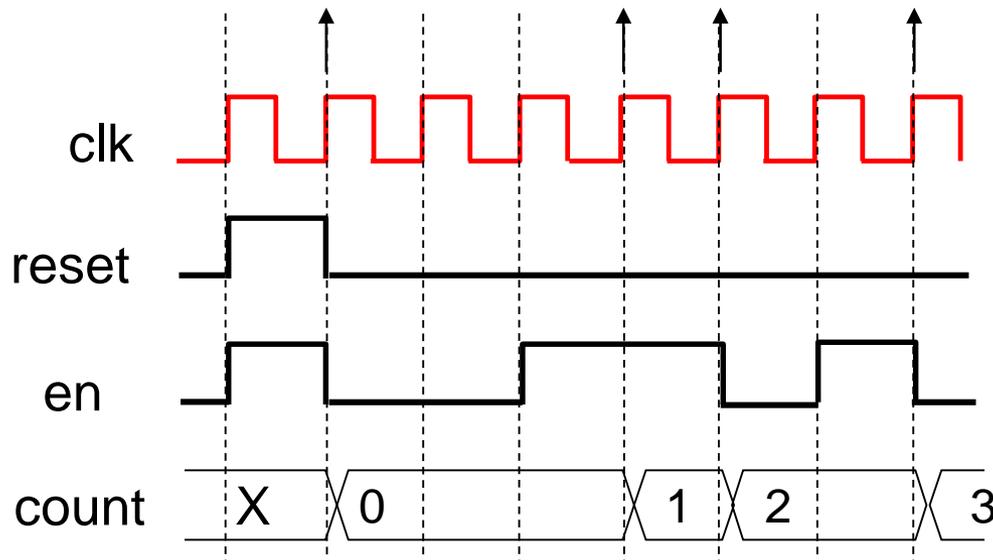


複数ビットをまとめて  
このように描く

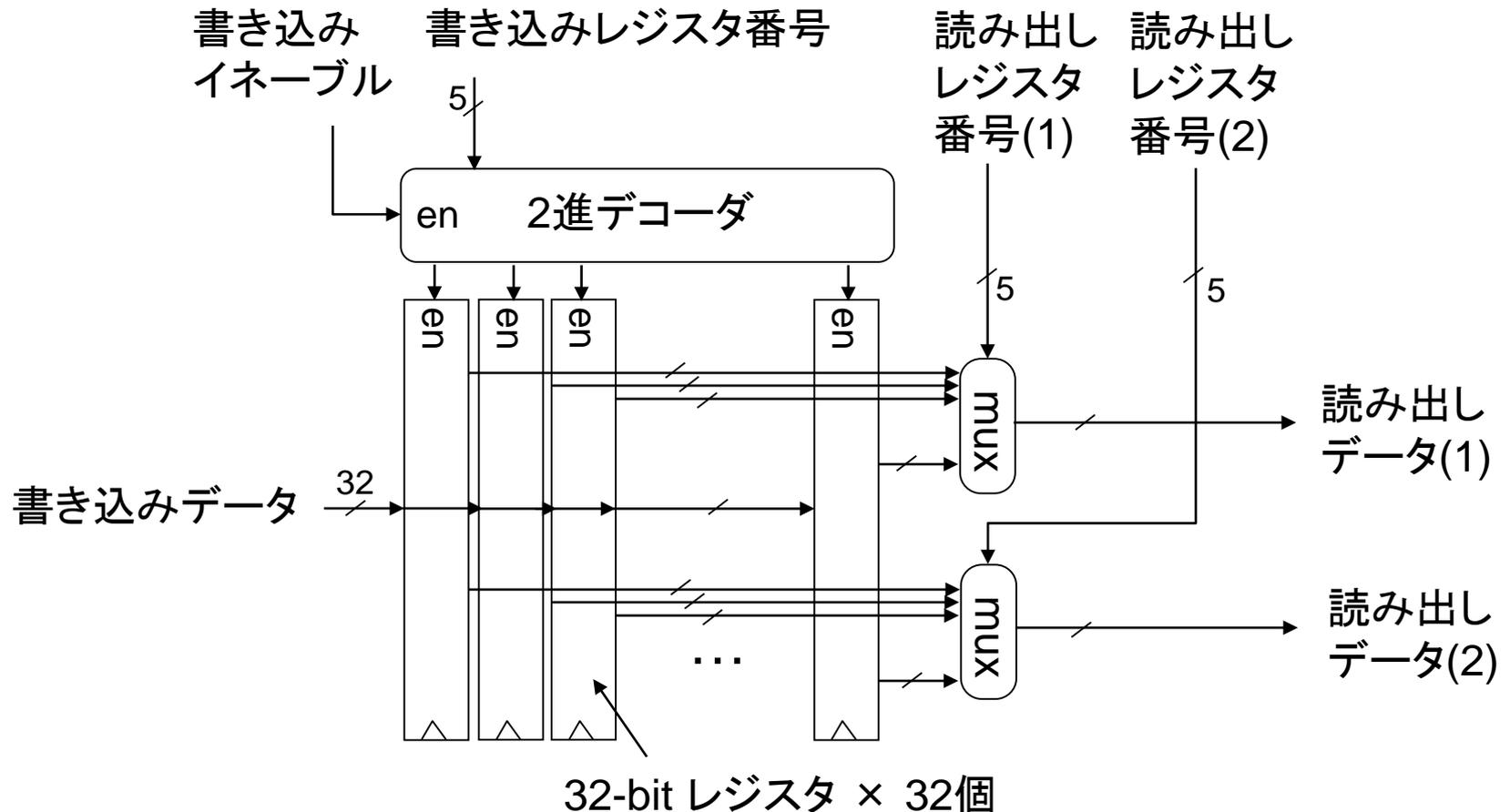
不定をこのように描いて  
済ますこともある

# 例: 同期2進カウンタ

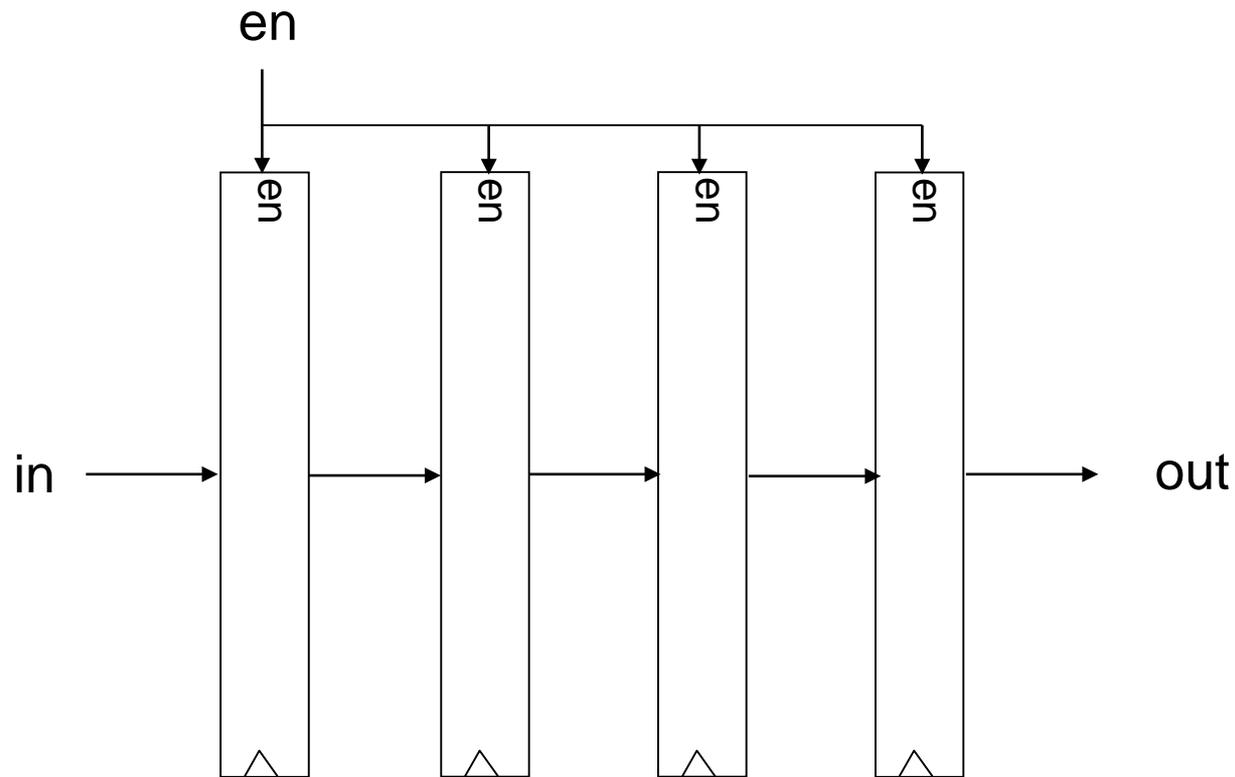
クロックの立上りの瞬間に en が1だった回数を数える



# 例: レジスタファイル (32 × 32ビット, 1入力2出力)



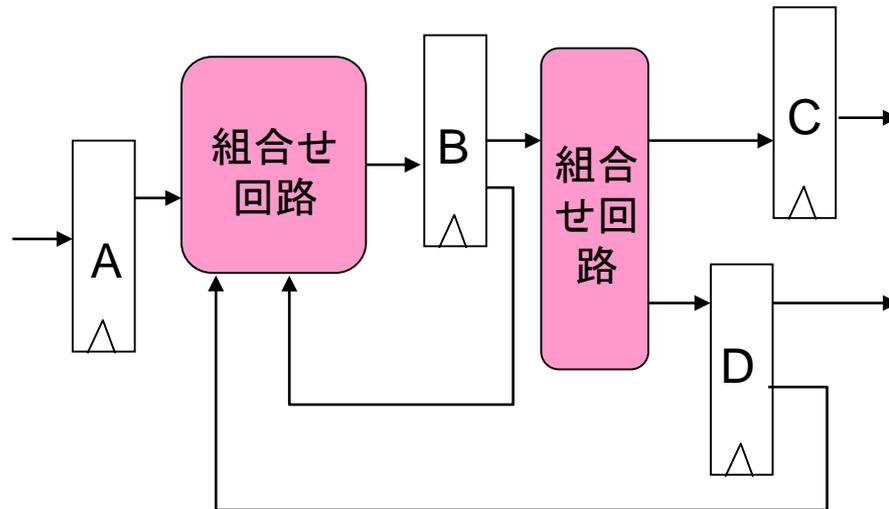
# 例: シフトレジスタ



FIFO (first-in first-out) の記憶回路 (queue) として用いられる

# レジスタ間遅延とクリティカルパス

クリティカルパス: レジスタ間の遅延が最大であるような信号経路



A → B: 8 ns

B → B: 5 ns

B → C: 2.5 ns

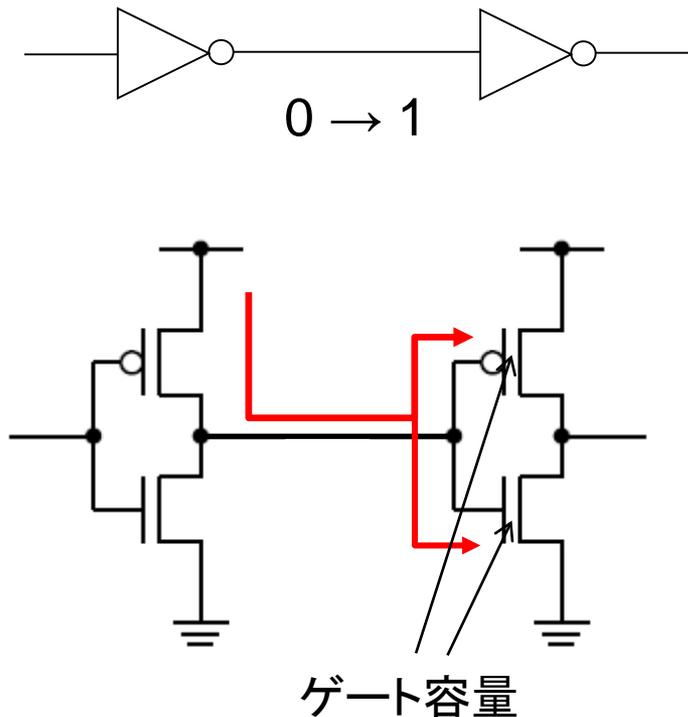
B → D: 7 ns

D → B: 12.5 ns

- システムのクロック周期はクリティカルパス遅延より長くないてはならない
- クロック周波数  $\leq 1 / \text{クリティカルパス遅延}$

$$= 1 / (12.5 \times 10^{-9}) = 80 \text{ MHz}$$

# クロック周波数を制限するもの



## ゲート遅延:

- トランジスタが流せる電流は有限
- したがって, ゲート容量を充電してトランジスタを反転させるには一定の時間が必要
- 理想的には, トランジスタサイズの微細化とともに小さくなる

## 配線遅延:

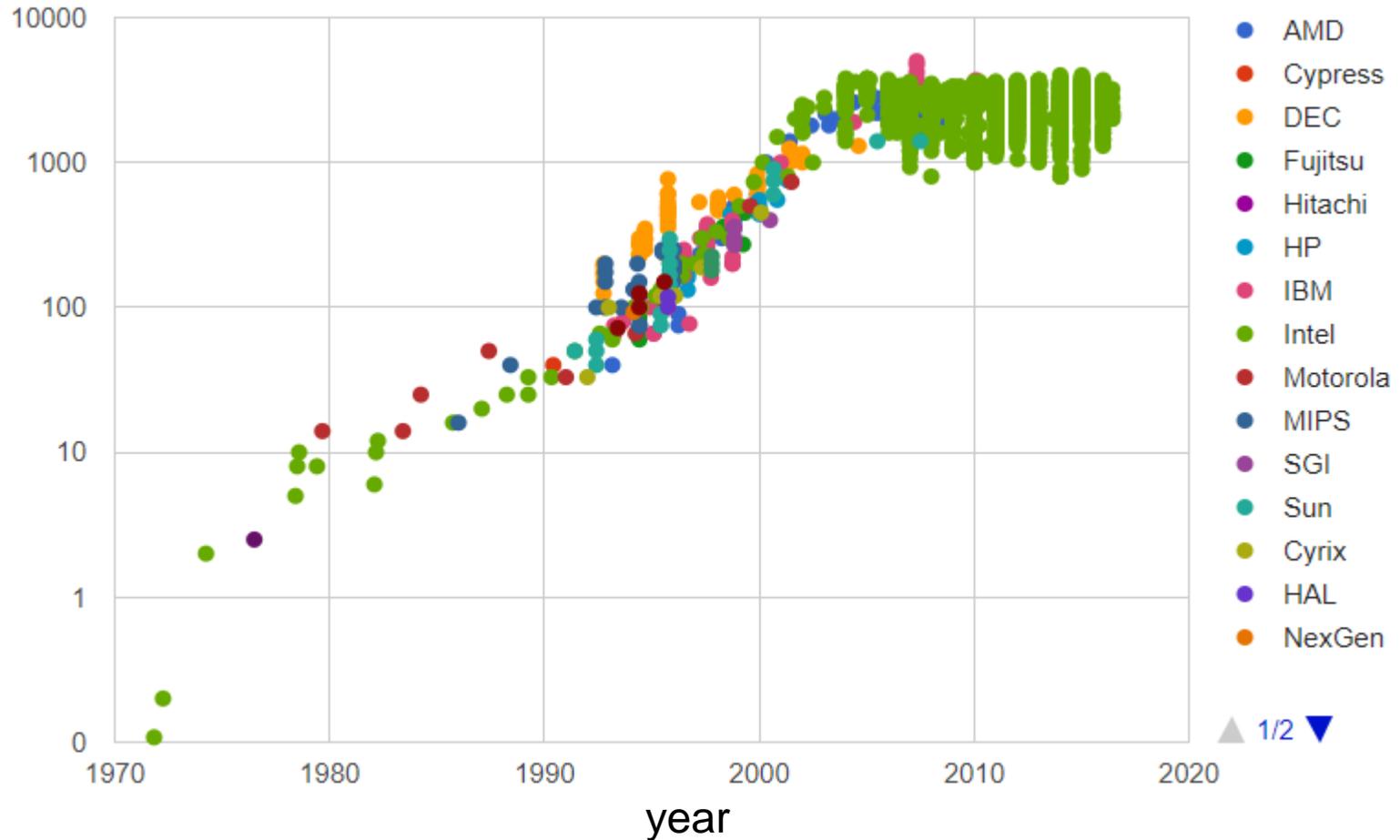
- そもそも光速は超えられない  
(30万 [km/s] = 300 [mm/ns])
- 抵抗・容量・インダクタンスの影響

## 発熱:

- スイッチング = エネルギー消費
- 温度が上がりすぎると動作できない

# プロセッサのクロック周波数の推移

clock frequency (MHz)

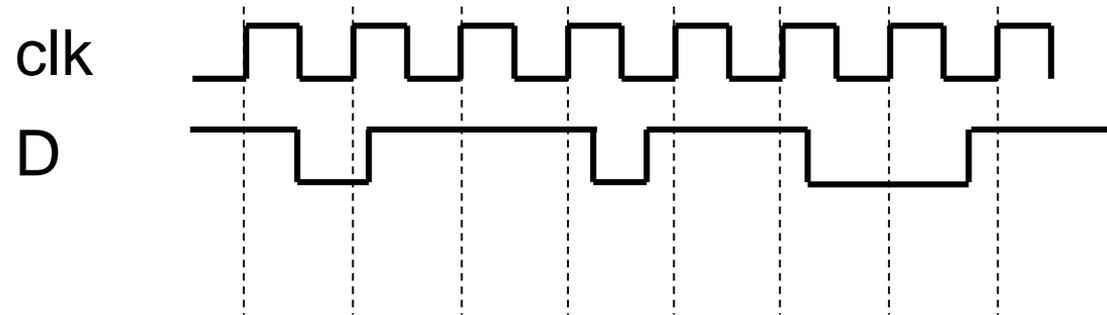


[http://cpudb.stanford.edu/visualize/clock\\_frequency](http://cpudb.stanford.edu/visualize/clock_frequency)

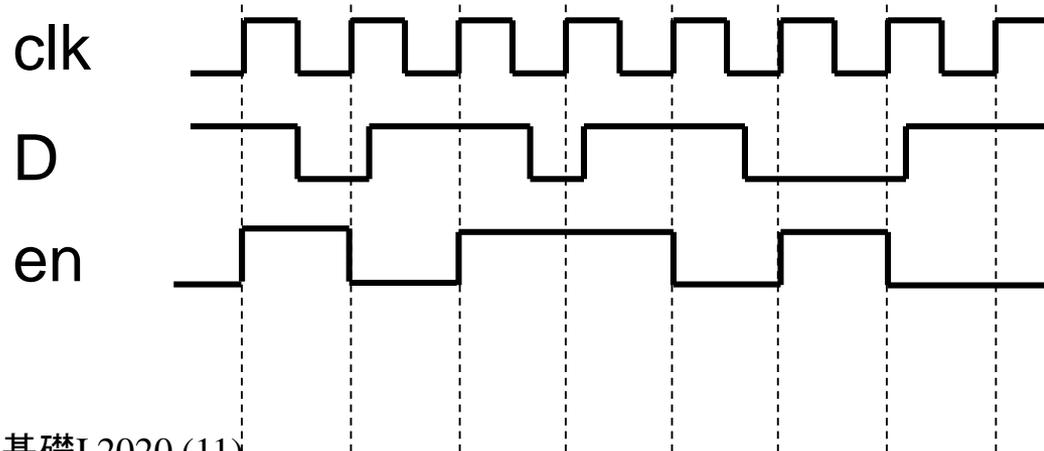


# 練習問題(1)

1. 次のような入力を受け取るエッジトリガ D-FF の状態(出力) Q はどのような信号になるか? ただし Q の初期状態は 0 とする.



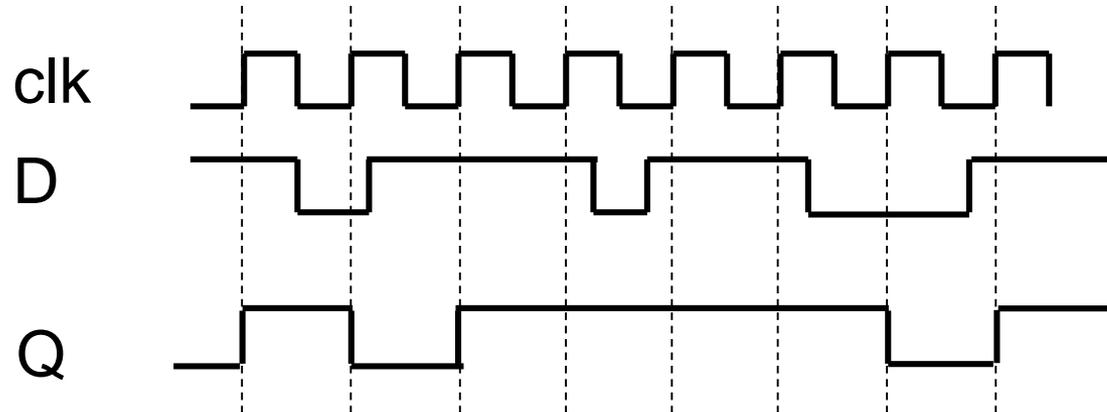
2. 次のような入力を受け取るイネーブル付きエッジトリガD-FF の状態 Q はどのような信号になるか? ただし Q の初期状態は 0 とする.



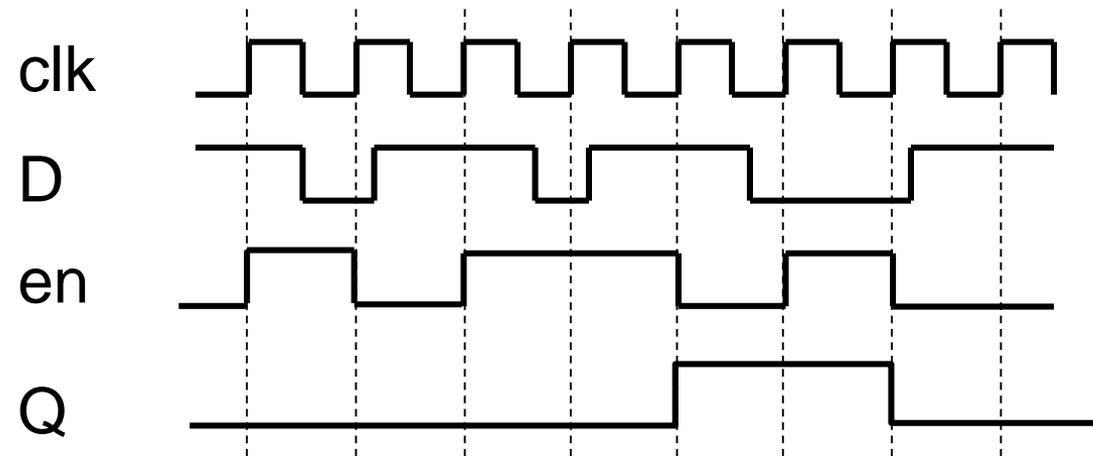


# 解答例 (1)

1.

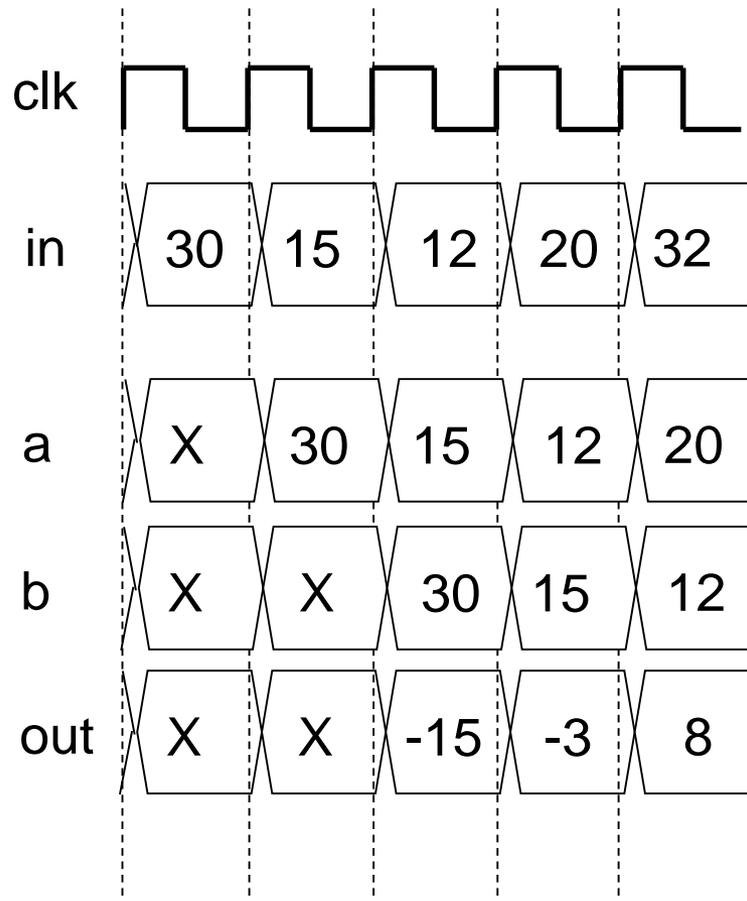


2.



# 解答例 (2)

1.



2. 隣接時刻間の差分の代わりに、隣接時刻間の平均を計算することになる.