

---

知能制御システム学

# 高速ビジョンシステムの実現技術

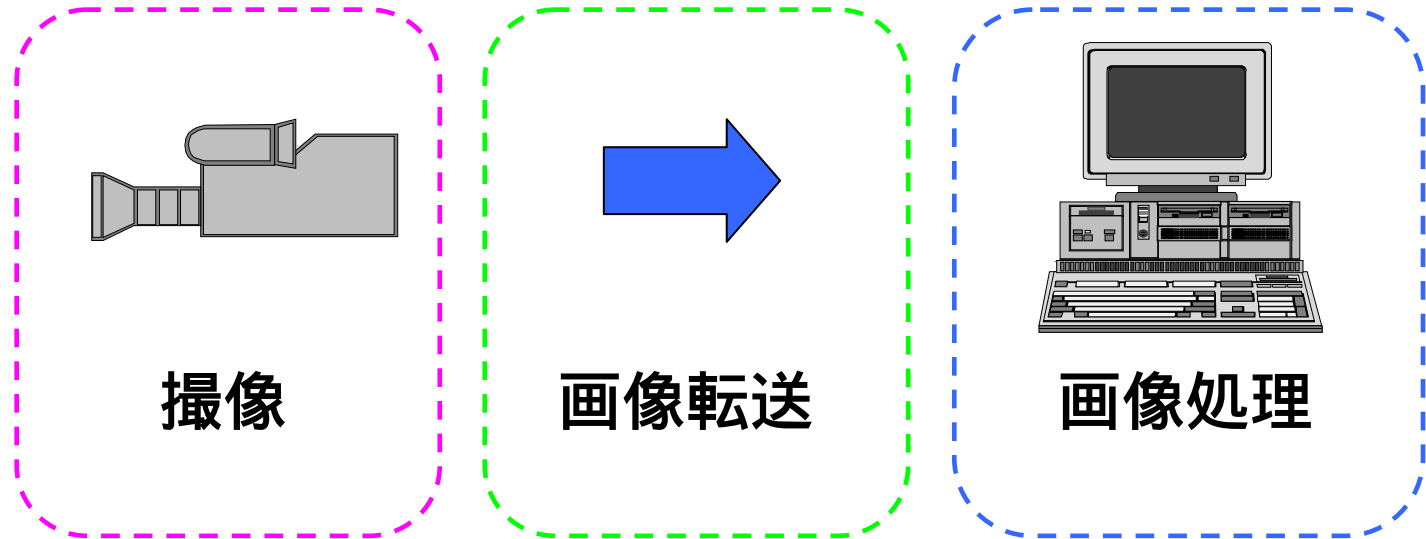
東北大学 大学院情報科学研究科

鏡 慎吾

swk(at)ic.is.tohoku.ac.jp

2005.06.28

# 高速ビジョンシステム実現のためには



すべて高速化する必要がある

# Outline

---

- 撮像の高速化
- 画像転送の高速化
- 画像処理の高速化

# 撮像の高速化

撮像を「光から電気信号への変換」とだけ捉えるならば、話は

- 感度

- ノイズ

- シャッタモード

などの問題に尽きる

その変換された電気信号をどう読み出すか? を考えないといけないので、話は「画像転送」の領域にまたがることになる

# 感度

高フレームレート化により蓄積時間が短くなるので、S/Nを保つのは相対的に困難になる

- 低ノイズのセンサの開発（根本的だがもちろん簡単ではない）
- 冷やす（冷却CCD）
- 照明条件をよくする
- イメージインテンシファイア等で入射光を増倍する
- ...

# シャッタモード

ビジョンチップの話が某サイトにタレこまれたとき、

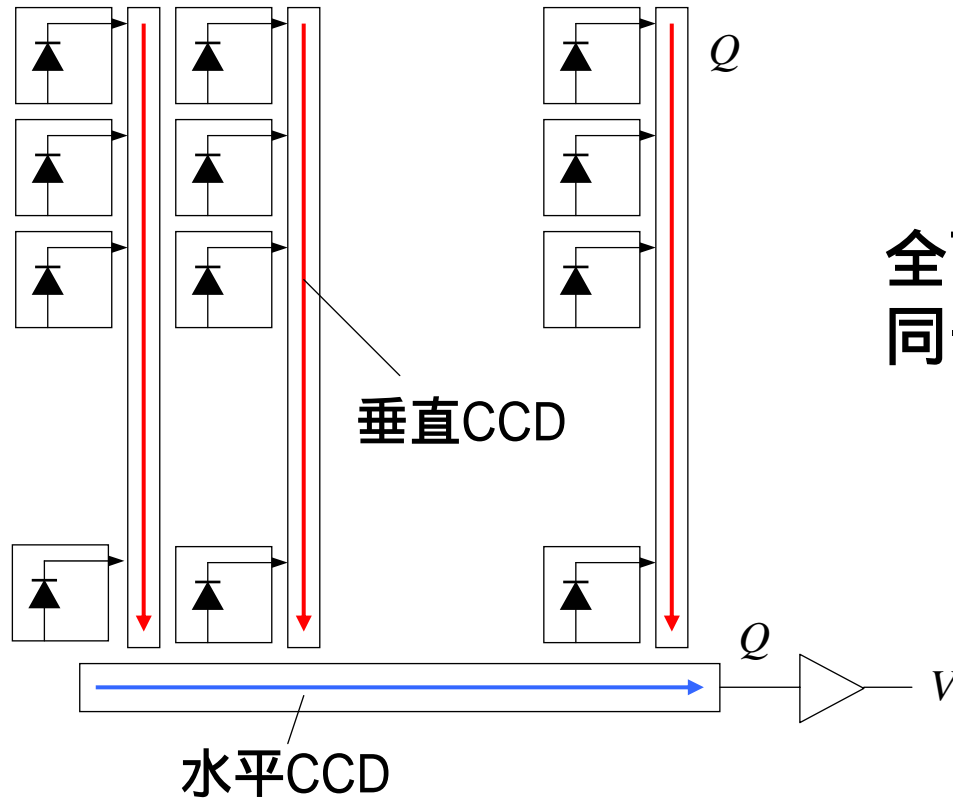
「CMOS は CCD に比べて高速撮影に弱いはず、ビジョンチップが CMOS 技術なのってどうよ？」

というようなコメントがあった

結論から言うと、下線部はシャッタモードに関する説明であって、通常のCMOSイメージャ同様のスキャンをしないビジョンチップには関係ない

# グローバルシャッタモード

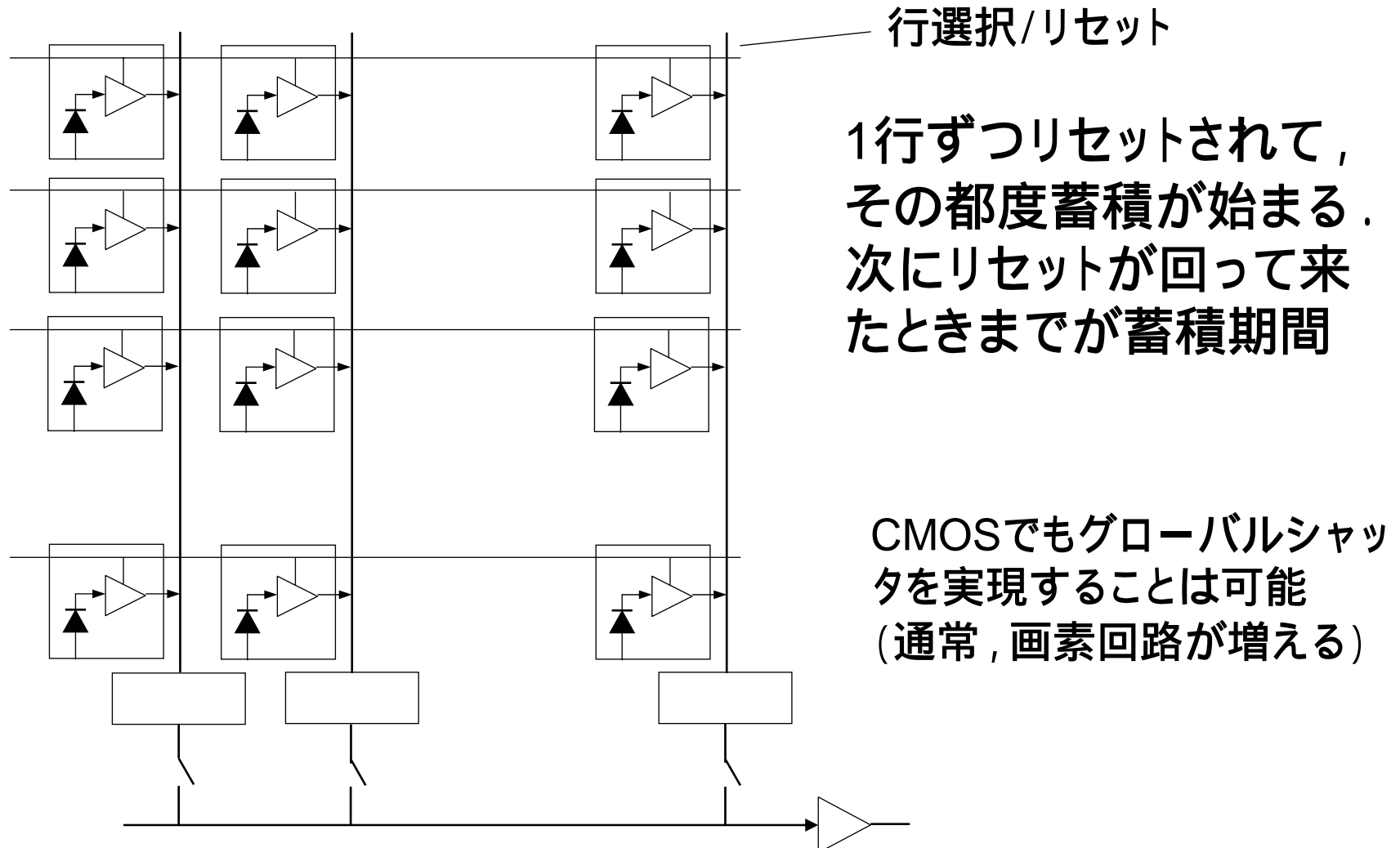
(インターライン転送型CCD)



全画素が同時にリセットされて、  
同一期間に蓄積される

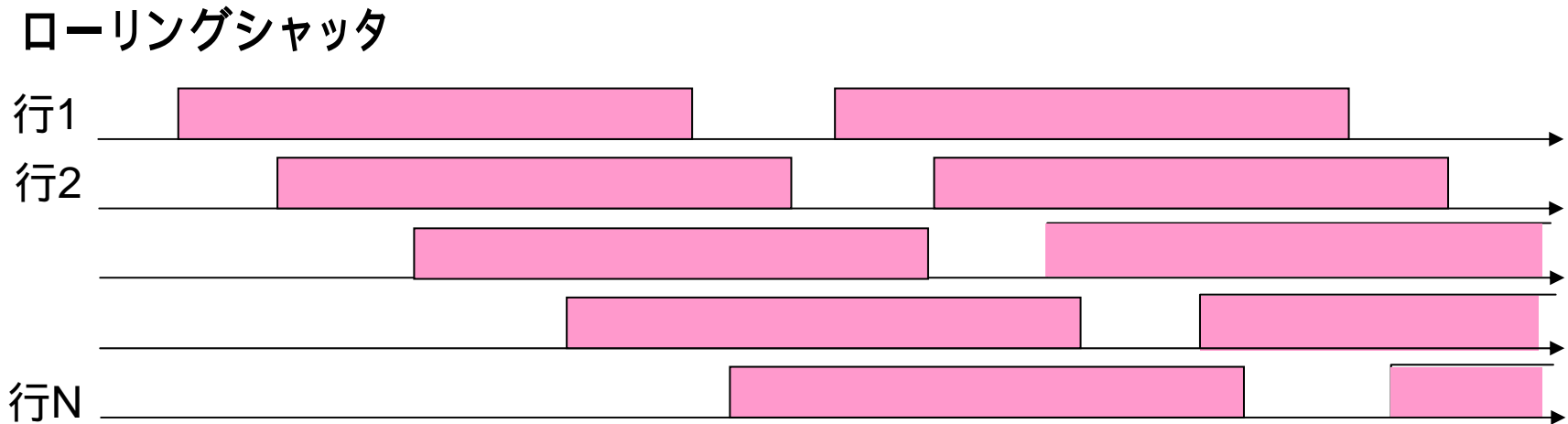
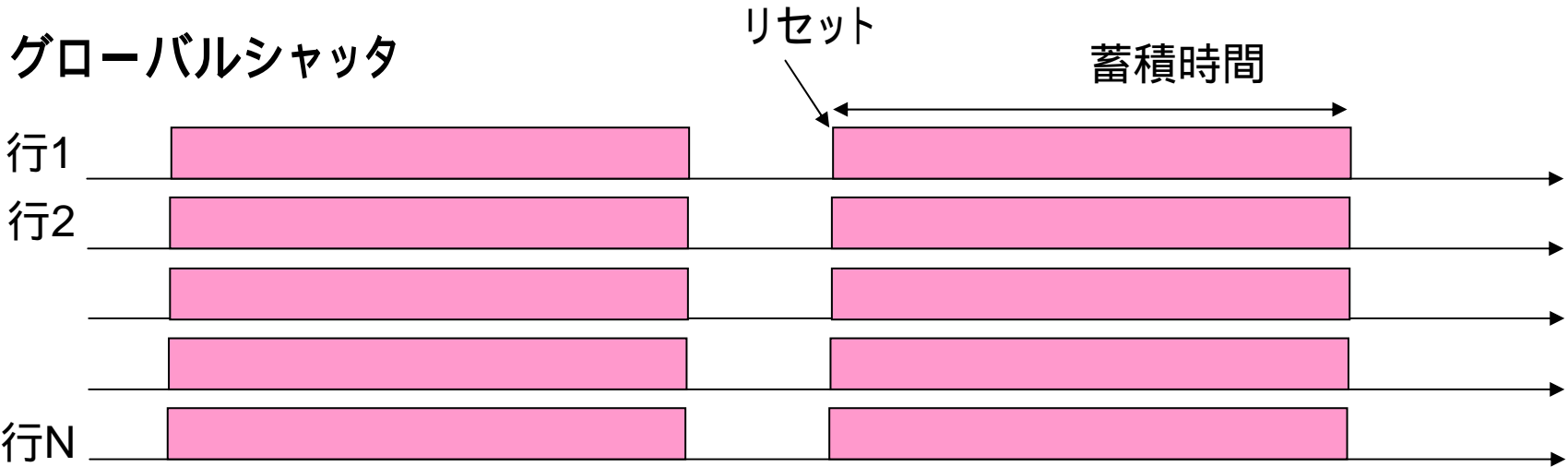
# ローリングシャッタモード

## CMOS アクティブピクセルセンサ (APS)

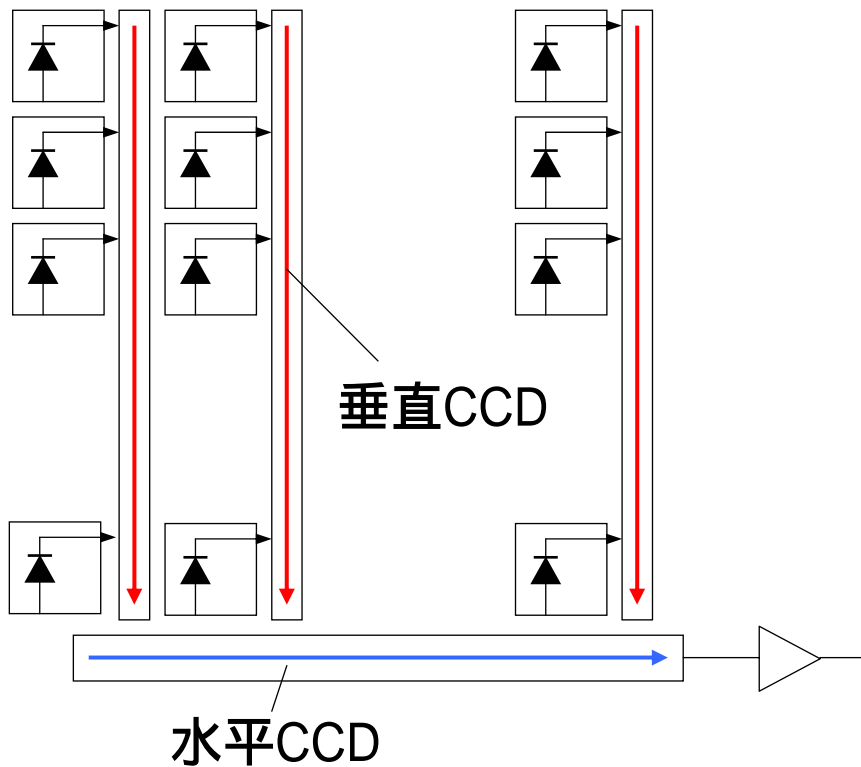




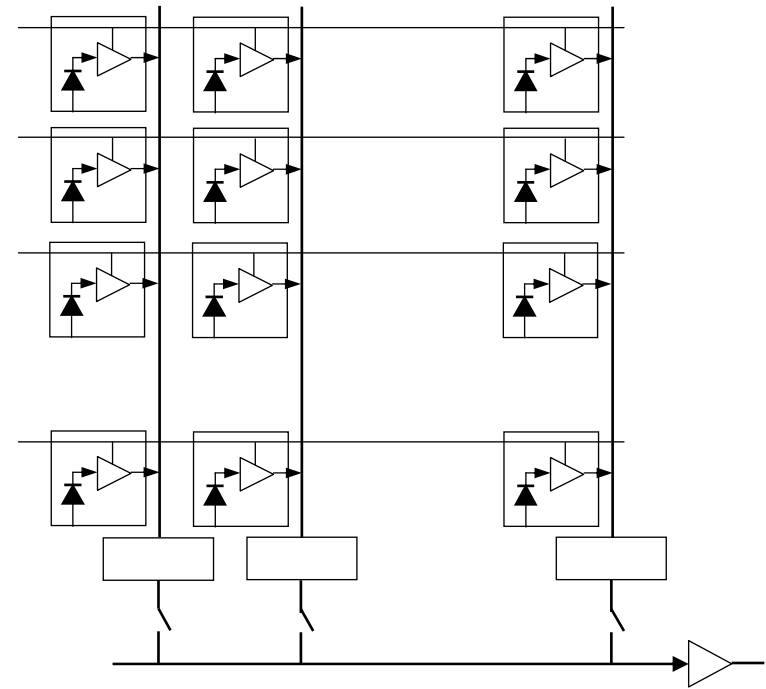
# シャッタモードの違い



# 画像読み出し速度

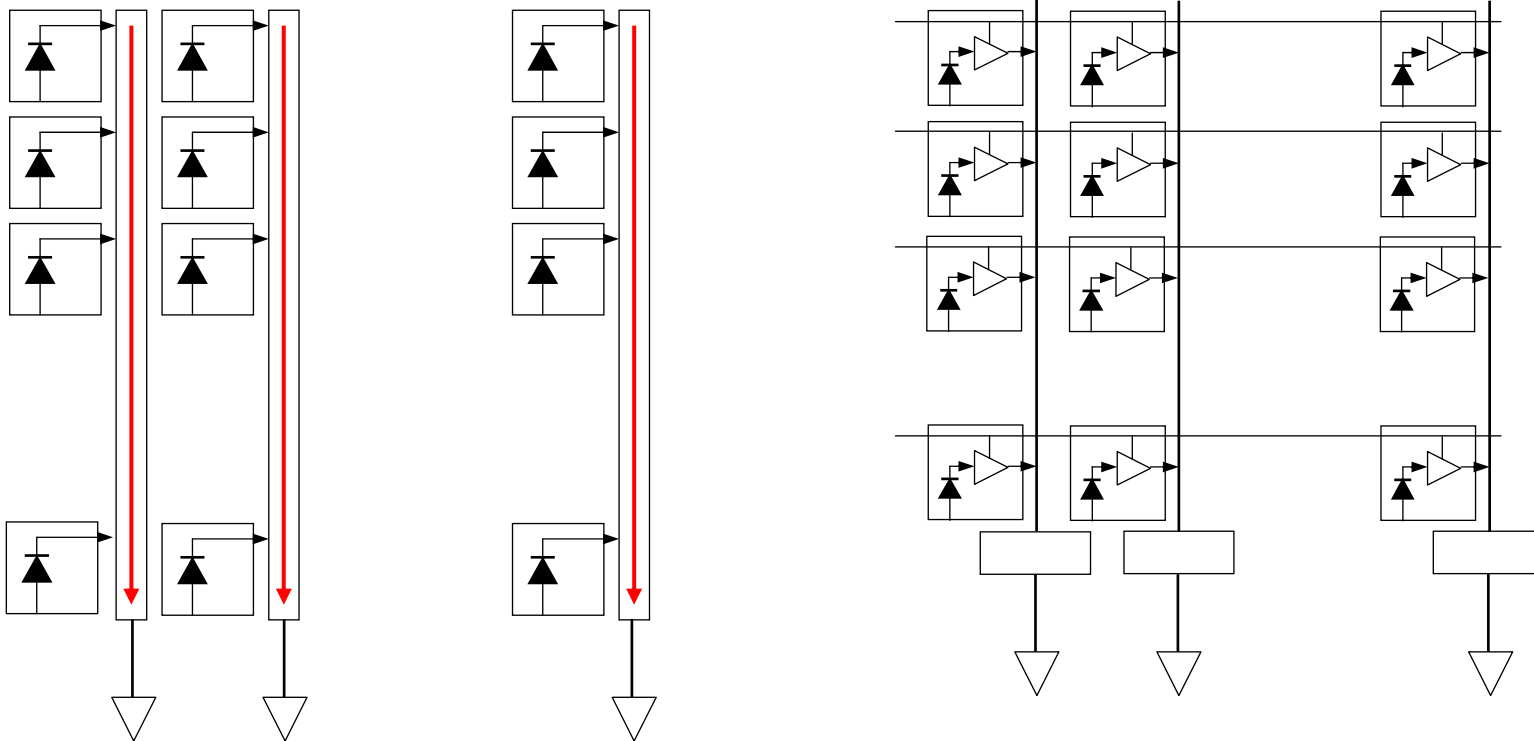


CCD:  
電荷の転送速度が律速



CMOS:  
電圧の読み出し速度が律速

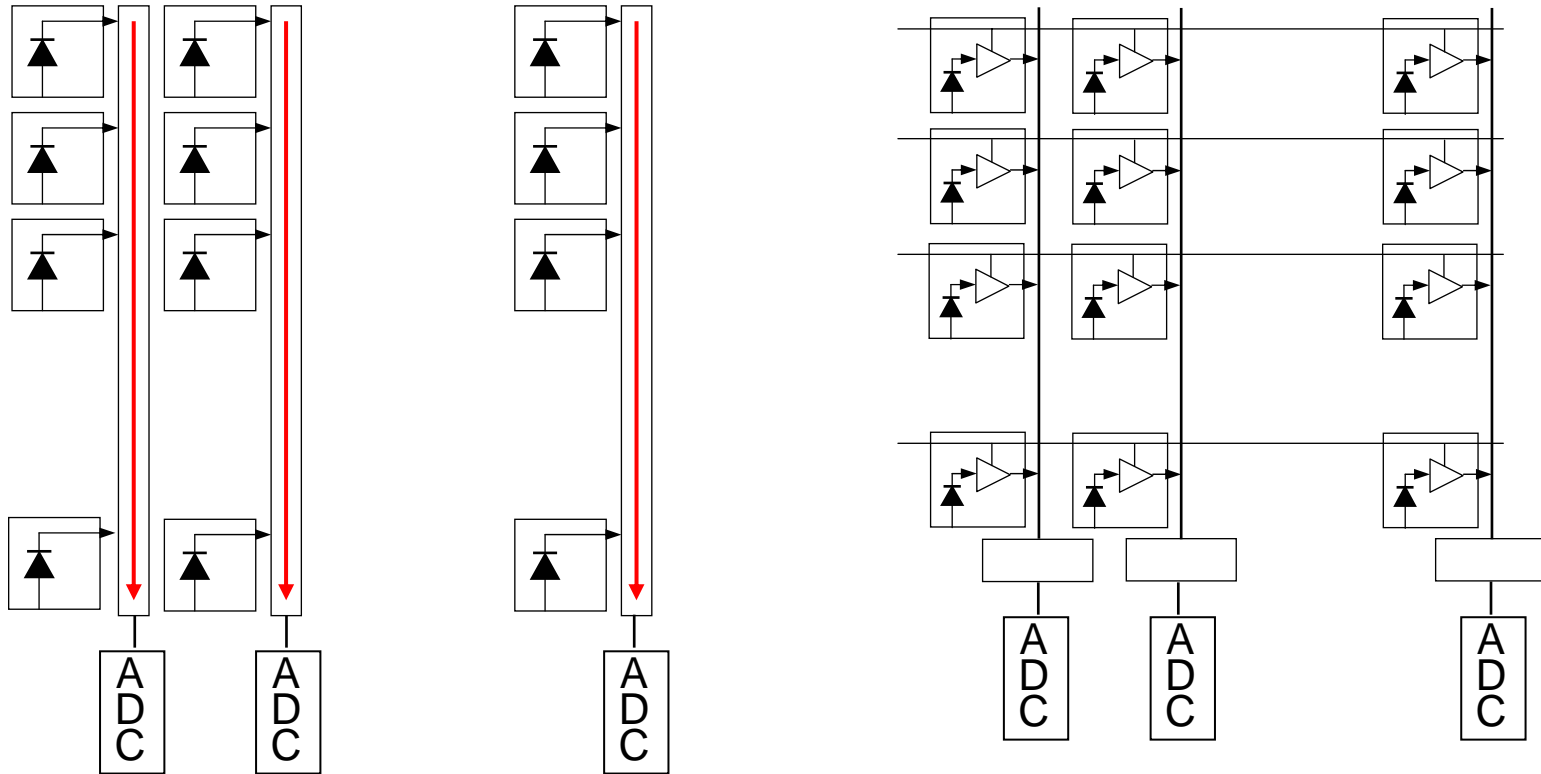
# 画像読み出しの高速化



## 並列読み出し:

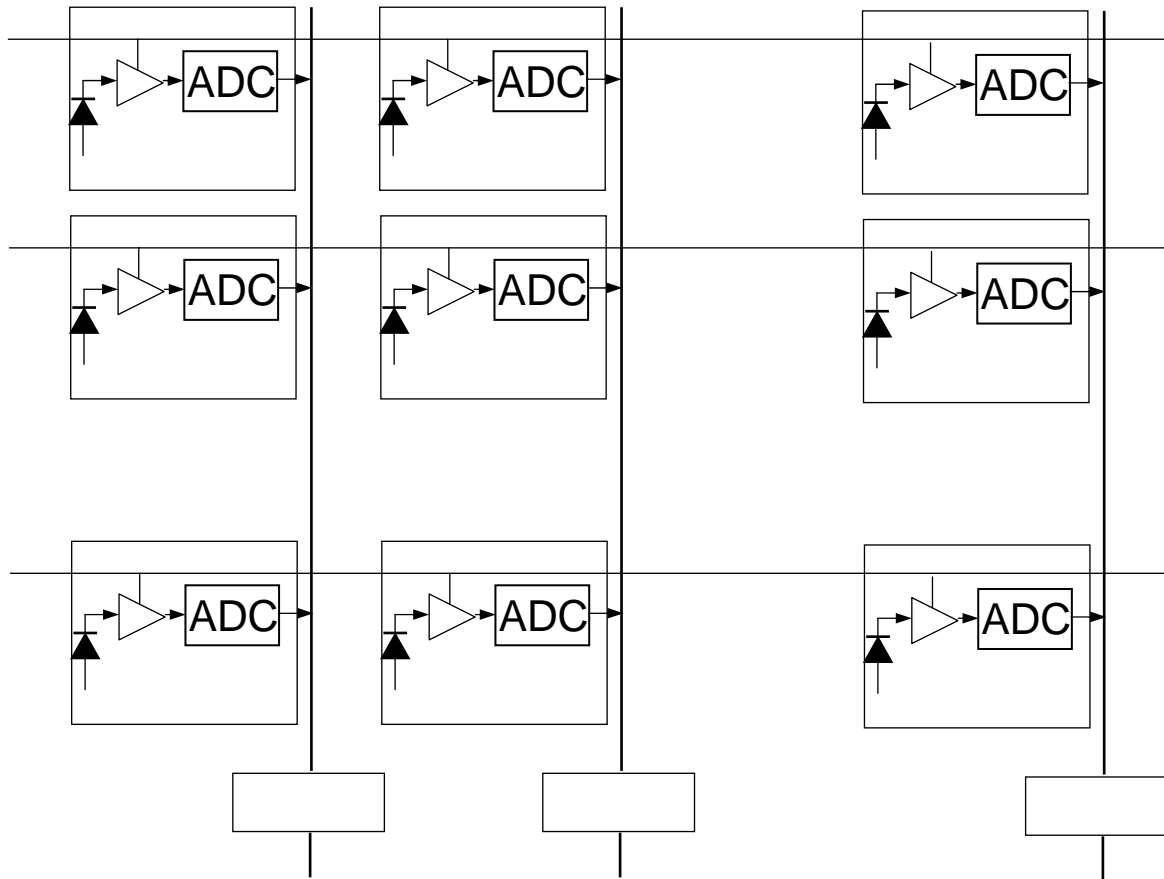
- 単一の信号の転送/読み出し速度が同じまま, 全体の読み出し時間を短縮可能
- ブロックごとのばらつき補償技術が鍵

# 列並列A-D変換



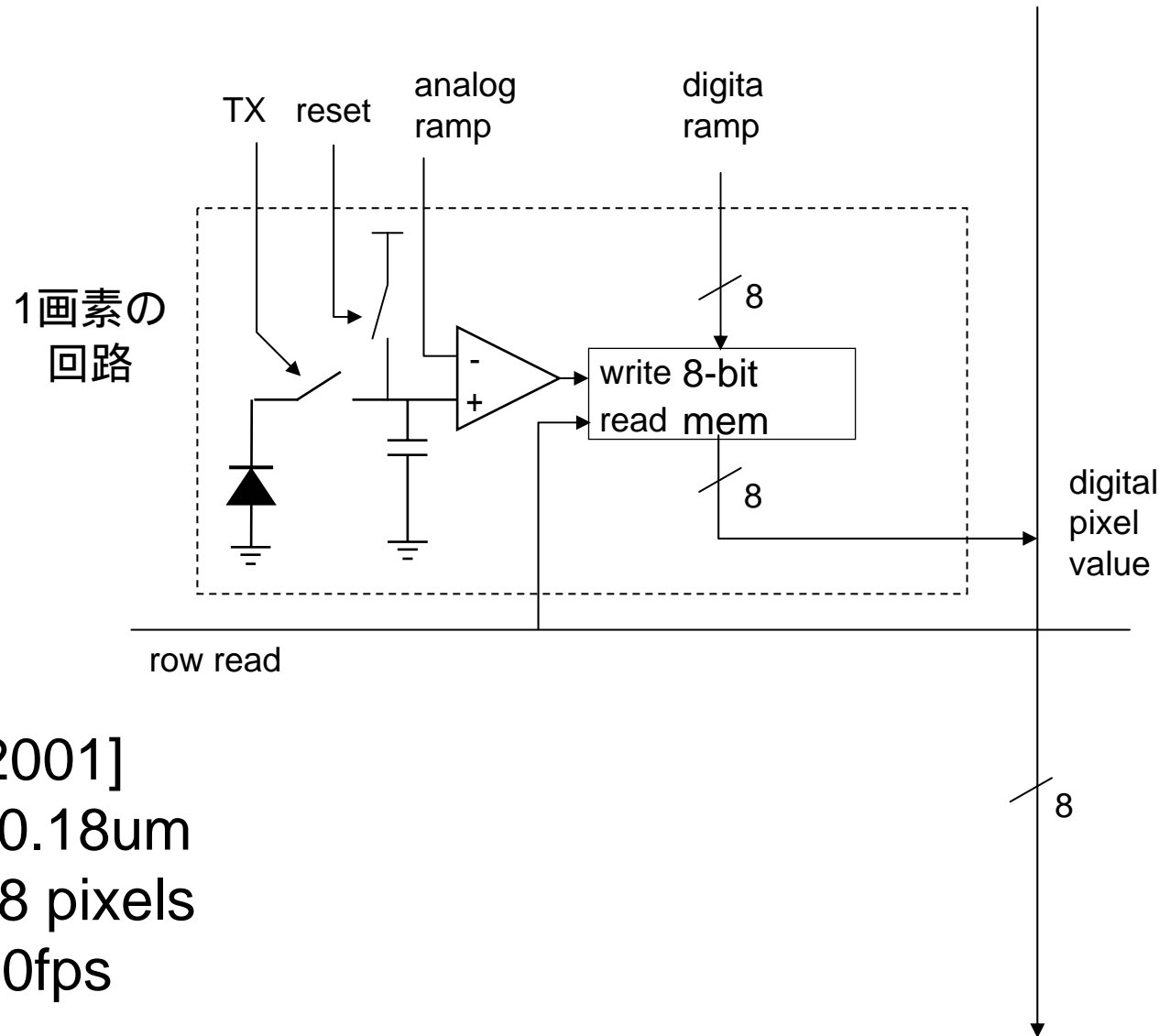
- デジタル化 データ転送の高速化
- ADCが並列動作 変換は低速でよい 帯域が狭い 低ノイズ

# 画素並列A-D変換



- A-D変換の動作がさらに遅くてよい
- 列線への読み出しがデジタル 原理的にはデジタルメモリの読み出しと同じ速度

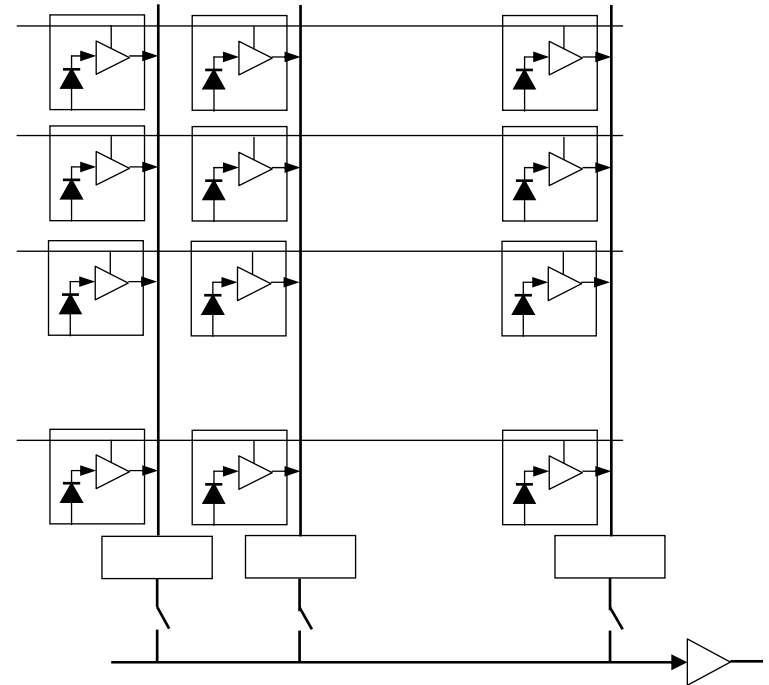
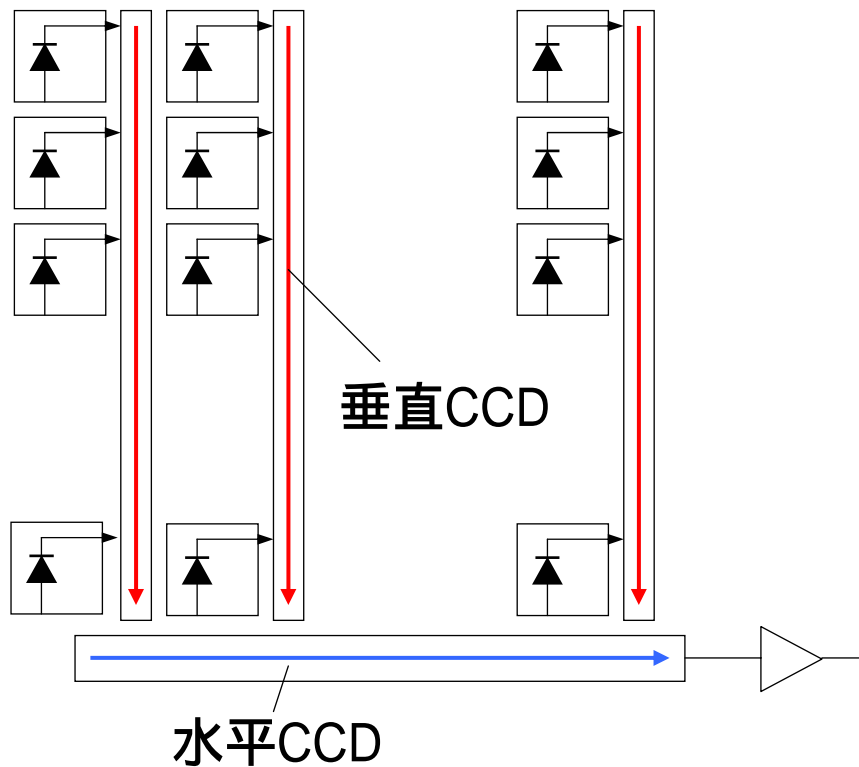
# 画素並列ADCの例



[Kleinfelder2001]

- CMOS 0.18um
- 352x288 pixels
- ~ 10,000fps

# 部分読み出しによるアプローチ



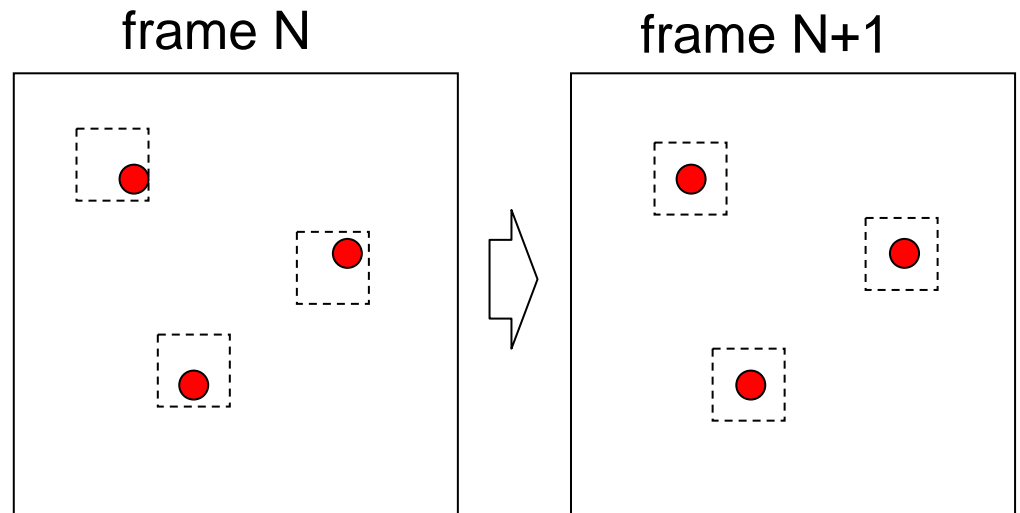
CCD:  
一部分だけの読み出しは苦手

CMOS:  
原理的にはランダムアクセスが可能

# 部分読み出し高速視覚システム

- 注目している領域の画像のみを読み出す
- その情報に基づいて次フレームで注目する領域を更新
- 読み出し時間が大幅に短縮
- 画像処理の負担が大幅に短縮 ( 普通にPCで処理)

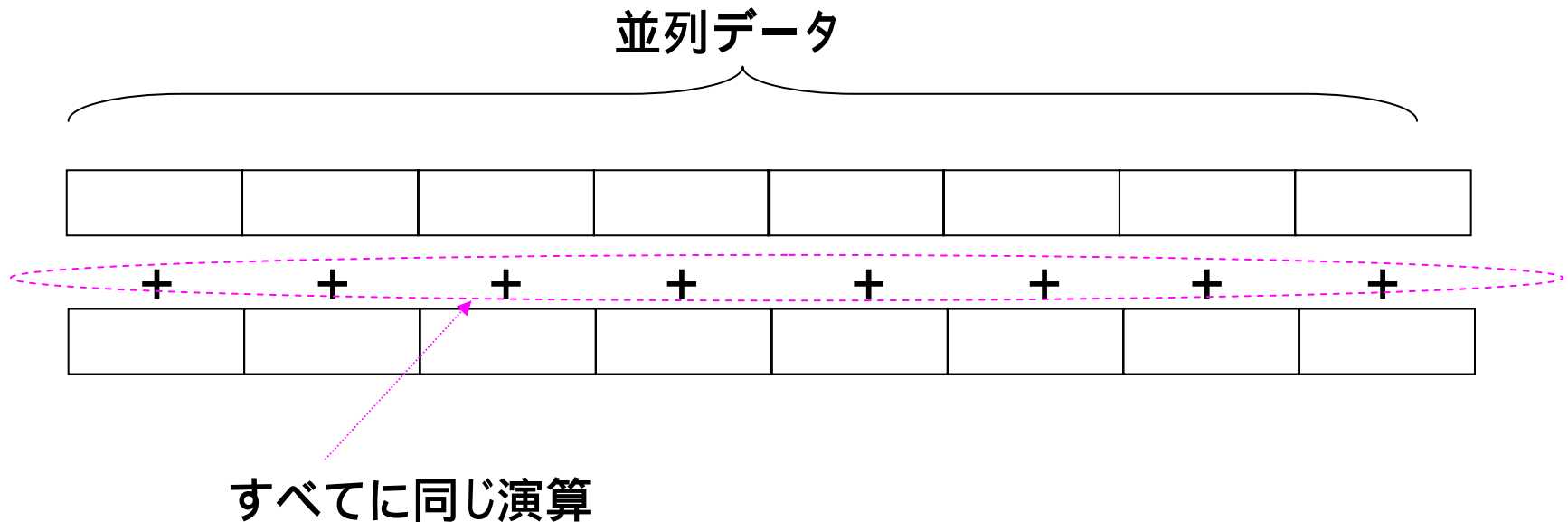
e.g. [石井2002] [Muehlmann2004]





# 高速画像処理技術

- 並列処理の効果が高い
- 特に「同一の演算」を「複数のデータ」に同時に実行する SIMD (Single Instruction stream, Multiple Data stream) 型の並列処理の費用対効果が「珍しく」高い



# SIMD型スーパーコンピュータ



ILLIAC IV  
(64 x 64-bit processors)  
[ed-thelen.org]



CM-2, by Thinking Machines Corp.  
(65536 x 1-bit processors)  
[svisions.com]

*“Several attempts, no lasting successes.”*  
[Hennessy2003]

# SIMD拡張命令

一方で、汎用マイクロプロセッサのマルチメディア拡張としては現役

Intel

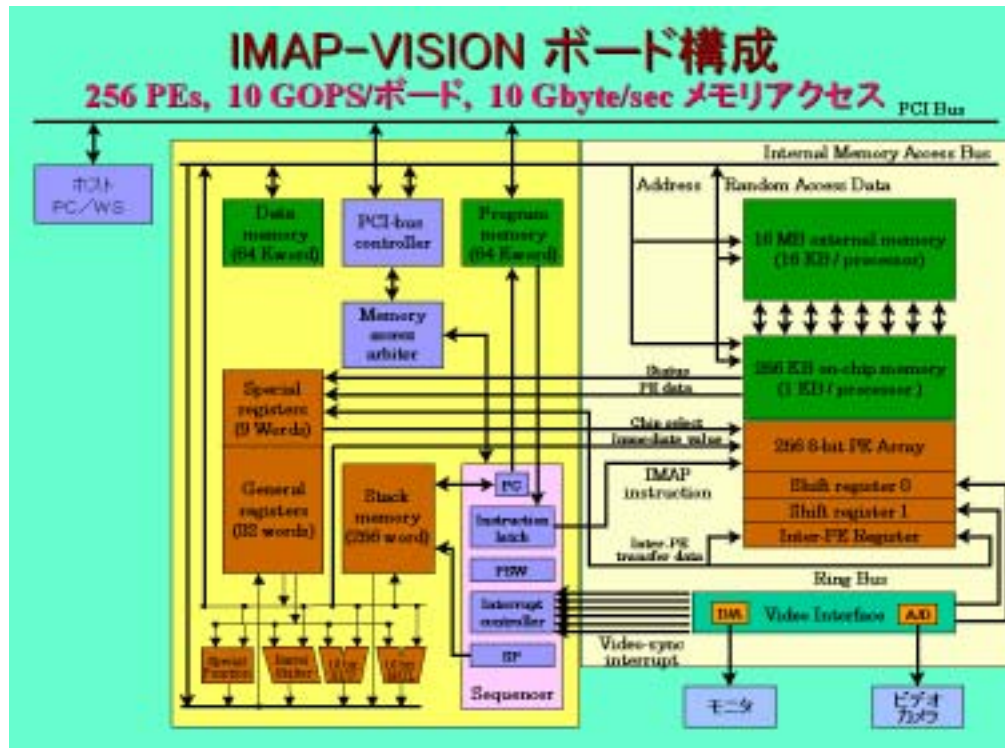
- MMX
- SSE
- SSE2

AMD

- 3D Now!
- Enhanced 3D Now!

# 画像処理専用プロセッサ

- Pixel-Parallel Image Processor (MIT) [Gealow1999]
- IMAP-VISION (NEC) (linear processor array) [藤田1995]



いずれも、ビデオレートでのリアルタイム画像処理をターゲットとしている

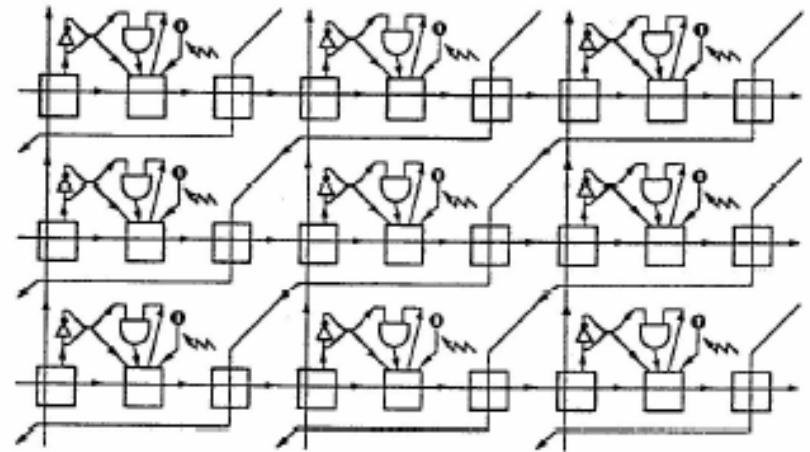
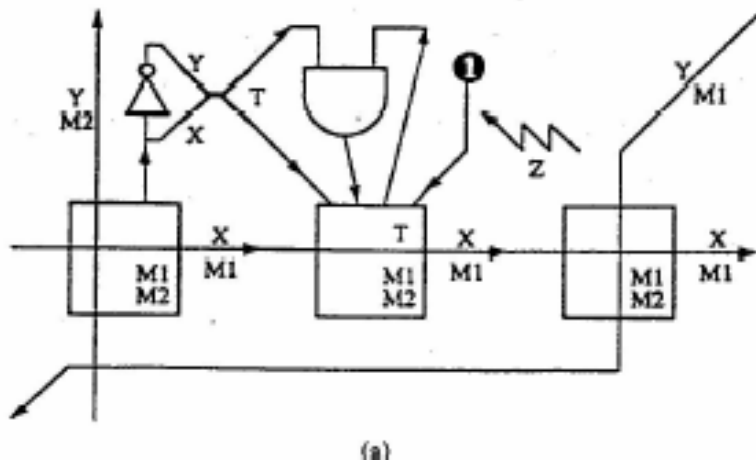
[nec.co.jp]

# デジタルビジョンチップ

## 画素並列SIMDプロセッサとイメージセンサを一体化する試み

- Programmable Artificial Retina (フランス)
- Near Sensor Image Processing (スウェーデン)
- Sensory Processing Element (日本)

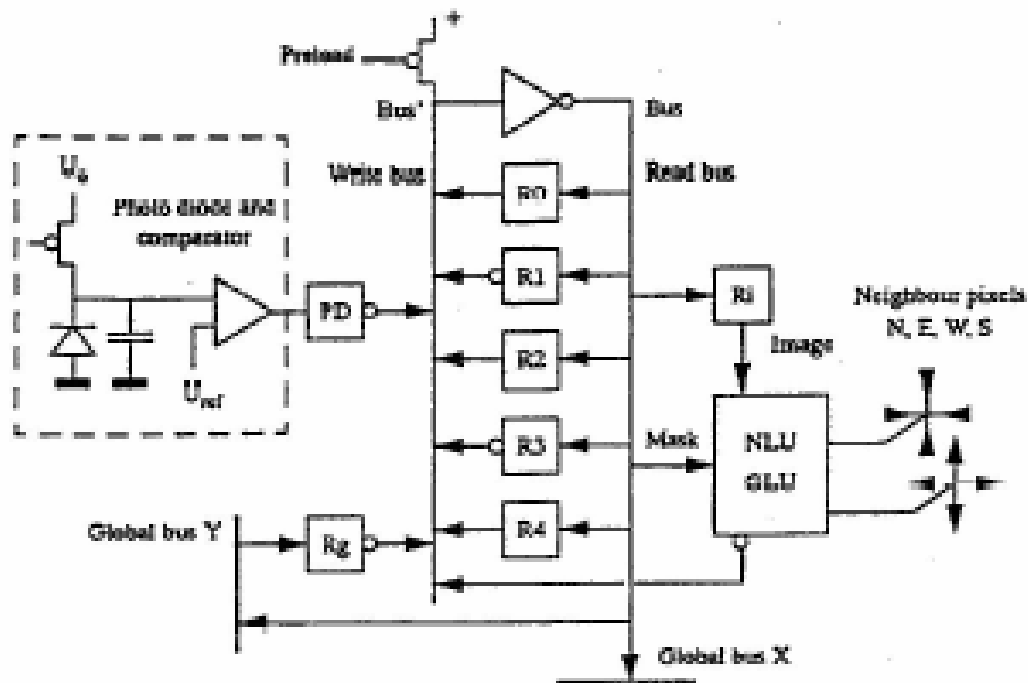
# Programmable Artificial Retina



[Bernard1993]

- メモリ3ビット
- 徹底して小型化された回路
- 2次元シフトレジスタに AND と NOT がつながった構造、シフトしながら AND / NOT を組み合わせることで任意のブール演算を実現する

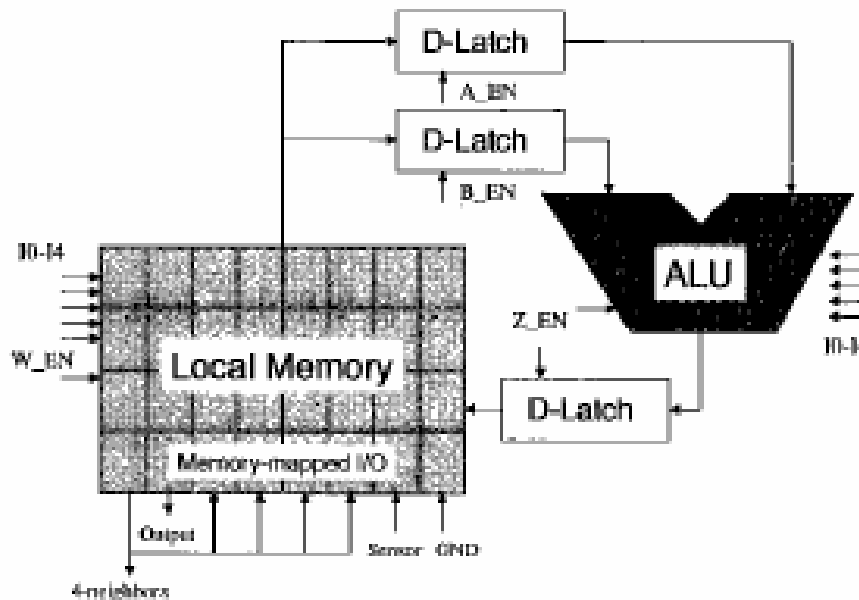
# Near Sensor Image Processing



[Astrom1996]

- メモリ9ビット
- バイナリ処理だが, 可変しきい値によりさまざまなグレースケール画像処理が等価的に実行可能
- グローバル処理に特徴

# Sensory Processing Element



[小室1998]

- メモリ24ビット, 比較的多い
- グレースケール処理を指向
- いわゆる普通のプロセッサの構造に近い



# ビジョンチップアプローチの得失

## 利点

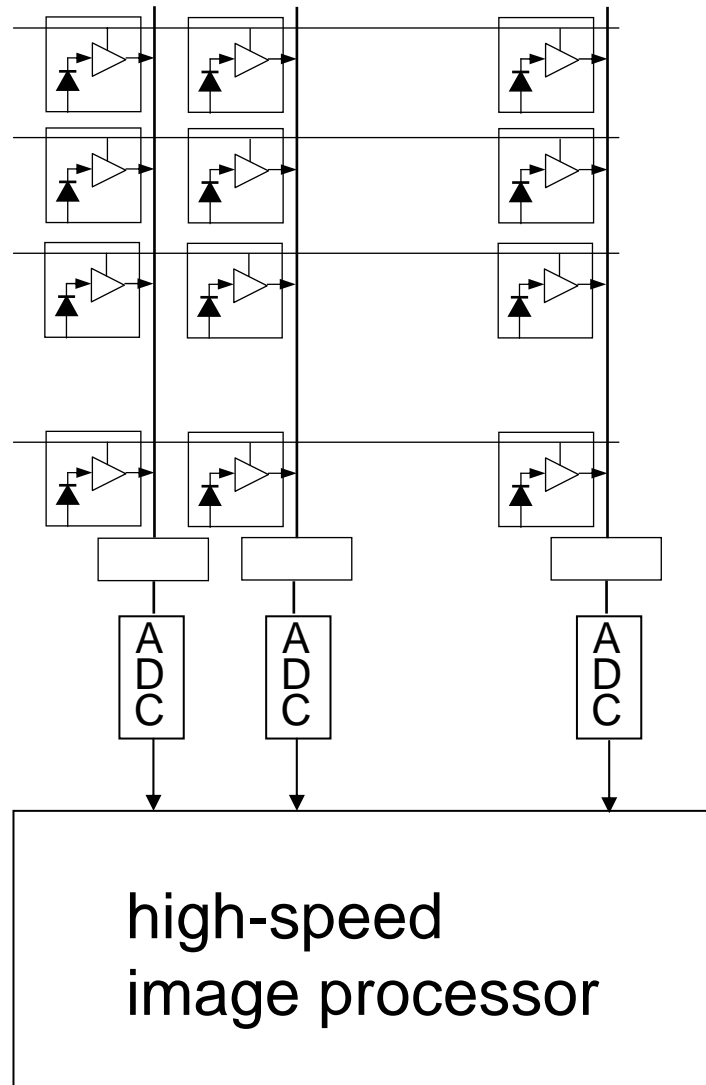
- データ並列度に対応した理想的な完全並列構造
- 画像の転送が不要
- 小型, ワンチップ, 低コスト

## 欠点

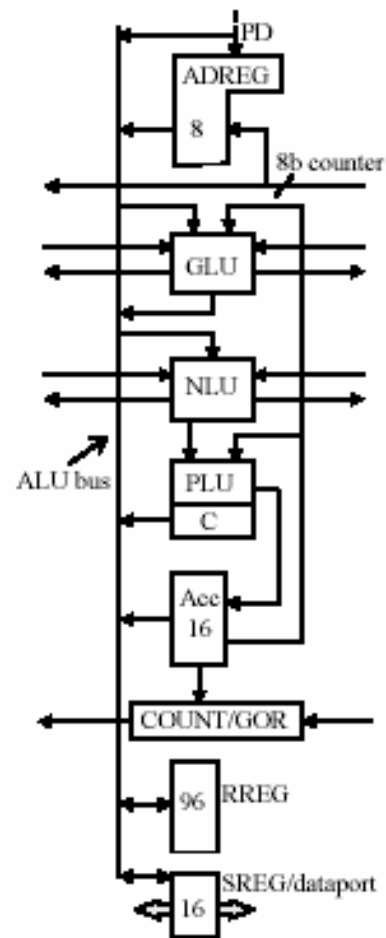
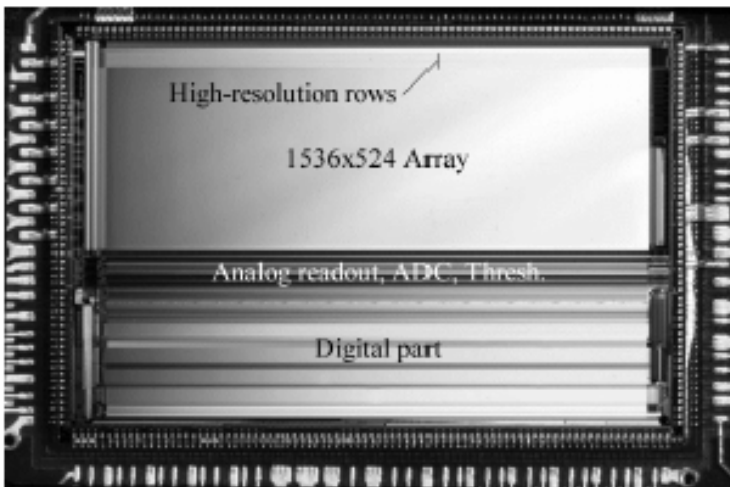
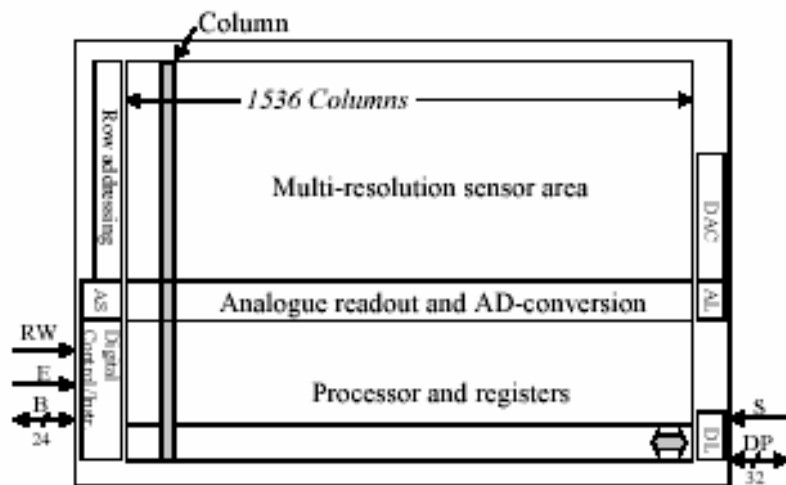
- SIMD超並列マシン同様にフレキシビリティが弱い
- 画素回路が大きい 低解像度, 低開口率

( 3次元積層化が突破口?)

# イメージャー – プロセッサ分離型アプローチ



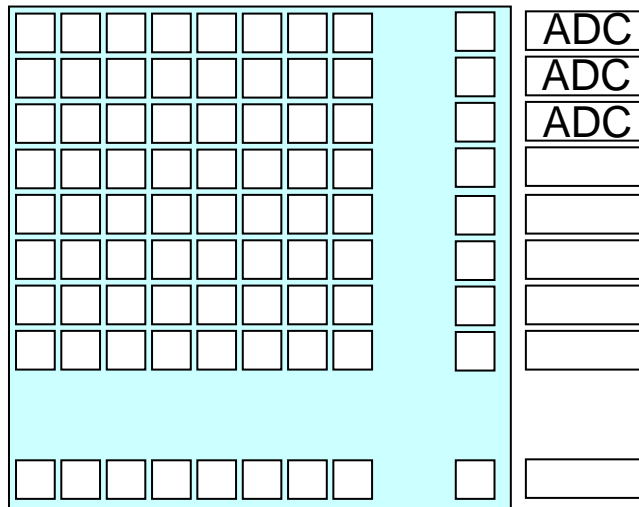
# IVP MAPP



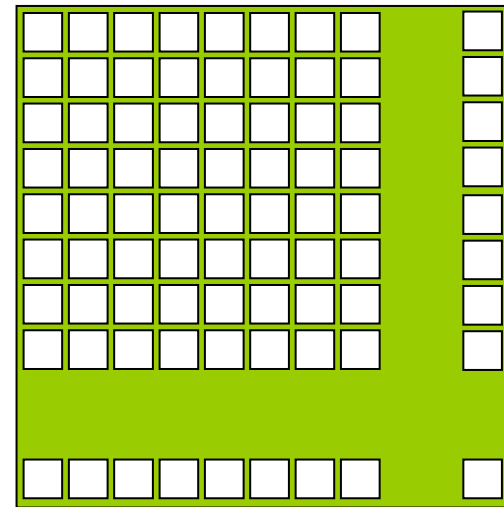
[Johansson2003]

列並列アーキテクチャ

# Column-Parallel Vision System II



光検出素子アレイ



処理回路アレイ (S<sup>3</sup>PE)

[豊田2001]



画素並列アーキテクチャ

# SIMD の枠を超えて

いろいろな形態の高速リアルタイムビジョンが提案されつつある

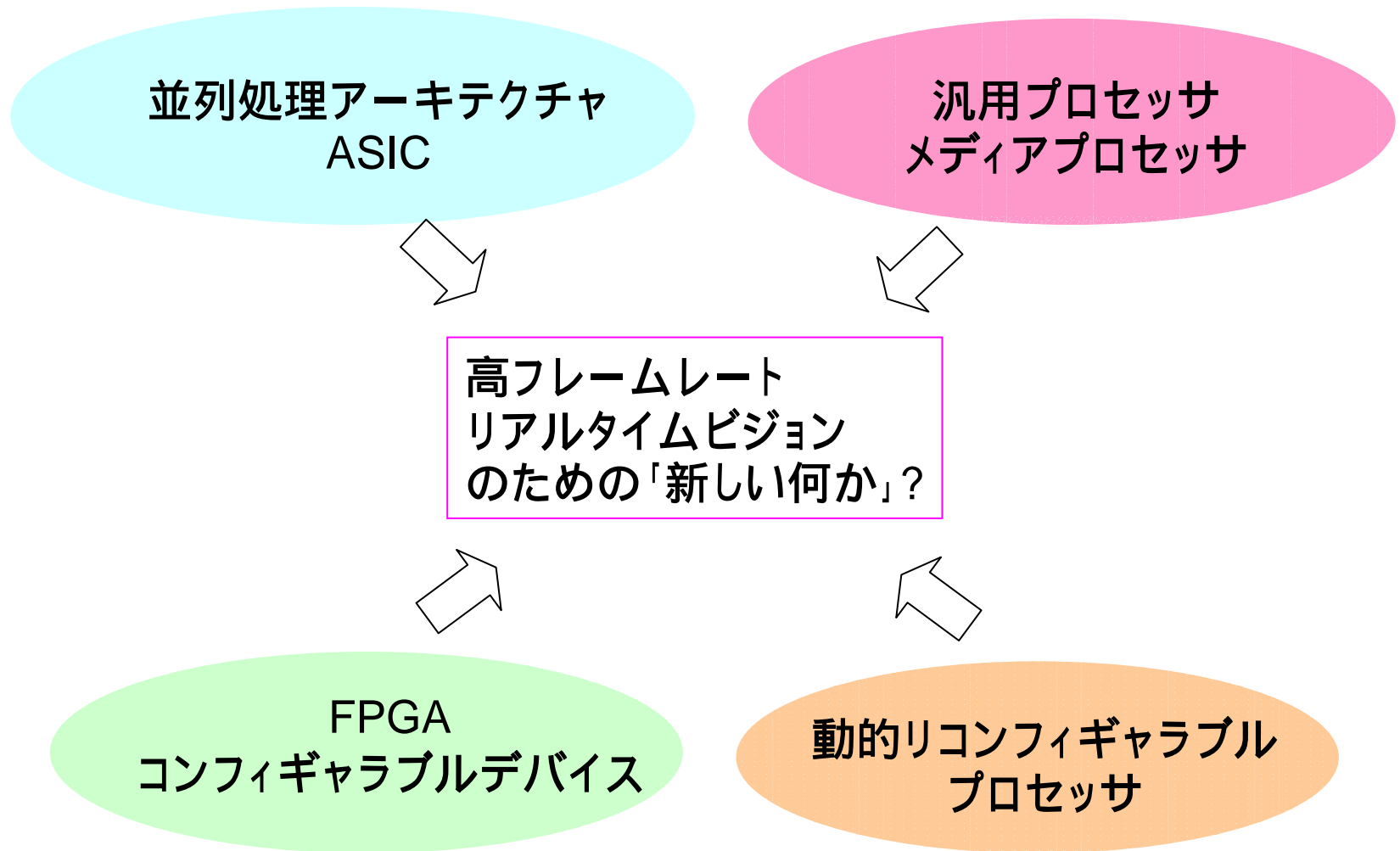
[大明2003]

1000fps のCMOSイメージセンサ (Micron製)  
+ FPGA 前処理 + 対象追跡処理は通常の PC で

[清水2005]

1000fps のCMOSイメージセンサ (Micron製)  
+ FPGAで直接視覚処理

# その先には?



# References

- [Kleinfelder2001] S. Kleinfelder, S. Lim, X. Liu and A. El Gamal: A 10000 Frames/s CMOS Digital Pixel Sensor, IEEE J. Solid-State Circuits, vol.36, no.12, pp.2049-2059, 2001.
- [石井2002] 石井: 知的画素選択機能を有する高速メガピクセルビジョンの提案, 日本ロボット学会創立20周年記念学術講演会, 3A15, 2002.
- [Muehlmann2004] U. Muehlmann, M. Ribo, P. Lang and A. Pinz, A New High Speed CMOS Camera for Real-Time Tracking Applications, Proc. 2004 IEEE Int. Conf. Robotics and Automation, pp. 5195-5200, 2004.
- [ed-thelen.org] <http://ed-thelen.org/comp-hist/vs-illiac-iv.html>
- [svisions.com] <http://www.svisions.com/sv/cm-dv.html>
- [Hennessy2003] J. L. Hennessy and D. A. Patterson: Computer Architecture – A Quantitative Approach, Third Edition, Morgan Kaufmann, 2003.
- [Gealow1999] J. C. Gealow and C. G. Sodini: A Pixel-Parallel Image Processor Using Logic Pitch-Matched to Dynamic Memory, IEEE J. Solid-State Circuits, vol.34, no.6, pp.831-839, 1999.
- [藤田1995] 藤田, 山下, 木村, 中村, 岡崎: メモリ集積型 SIMD プロセッサ IMAP, 電子情報通信学会論文誌(D-I), vol.J78-D-II, no.2, pp.82-90, 1995.
- [nec.co.jp] <http://www.incx.nec.co.jp/imap-vision/>
- [Bernard1993] T. M. Bernard, Y. Zavidovique and F. J. Devos: A Programmable Artificial Retina, IEEE J. Solid-State Circuits, vol.28, no.7, pp.789-798, 1993.
- [Astrom1996] A. Astrom, J.-E. Eklund and R. Forchheimer: Global Feature Extraction Operations for Near-Sensor Image Processing, IEEE Trans. Image Processing, vol.5, no.1, pp.102-110, 1996.
- [小室1998] 小室, 鈴木, 石井, 石川: 汎用プロセッシングエレメントを用いた超並列・超高速ビジョンチップの設計, 電子情報通信学会論文誌(D-I), vol.J81-D-I, no.2, pp.70-76, 1998.
- [Johansson2003] R. Johansson, L. Lindgren, J. Melander and B. Moller: A Multi-Resolution 1000 GOPS 4 Gpixels/s Programmable CMOS Image Sensor for Machine Vision, Proc. IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors, 2003.
- [豊田2001] 豊田, 向坂, 田中, 宅見, 水野, 中坊, 石川: 超高速インテリジェントビジョンシステム: CPV-II - センサ部および並列演算部の小型集積化 -, 第19回日本ロボット学会学術講演会, pp.383-384, 2001.
- [大明2003] 大明, 岡田, 山本: 一般環境下における高速移動物体トラッキング -- 1000fps アクティブカメラシステムの試作 --, 第21回日本ロボット学会学術講演会, 1K13, 2003.
- [清水2005] CMOSセンサとFPGAを用いた高速・高解像度ビジョンシステムの構築, 日本機械学会ロボティクス・メカトロニクス講演会, 2A1-N-094, 2005.