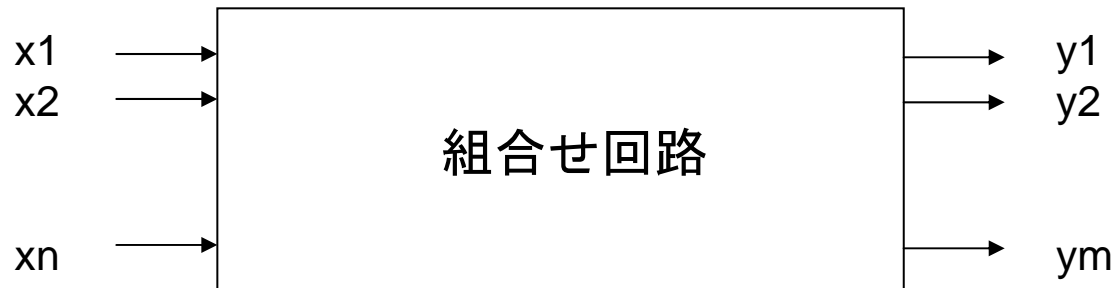


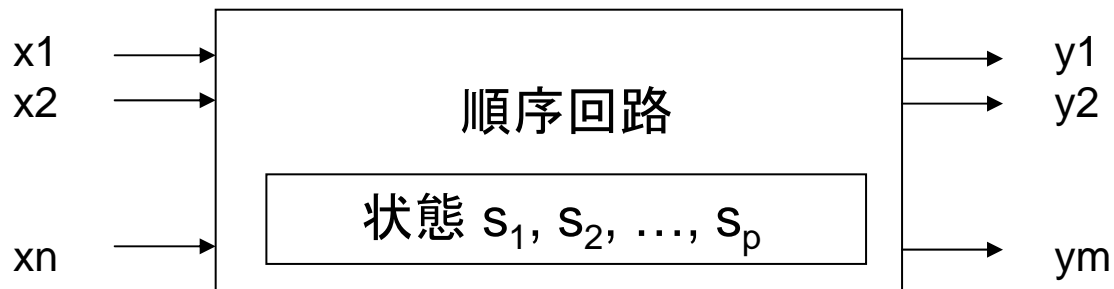
---

# 順序回路

# 組合せ回路と順序回路



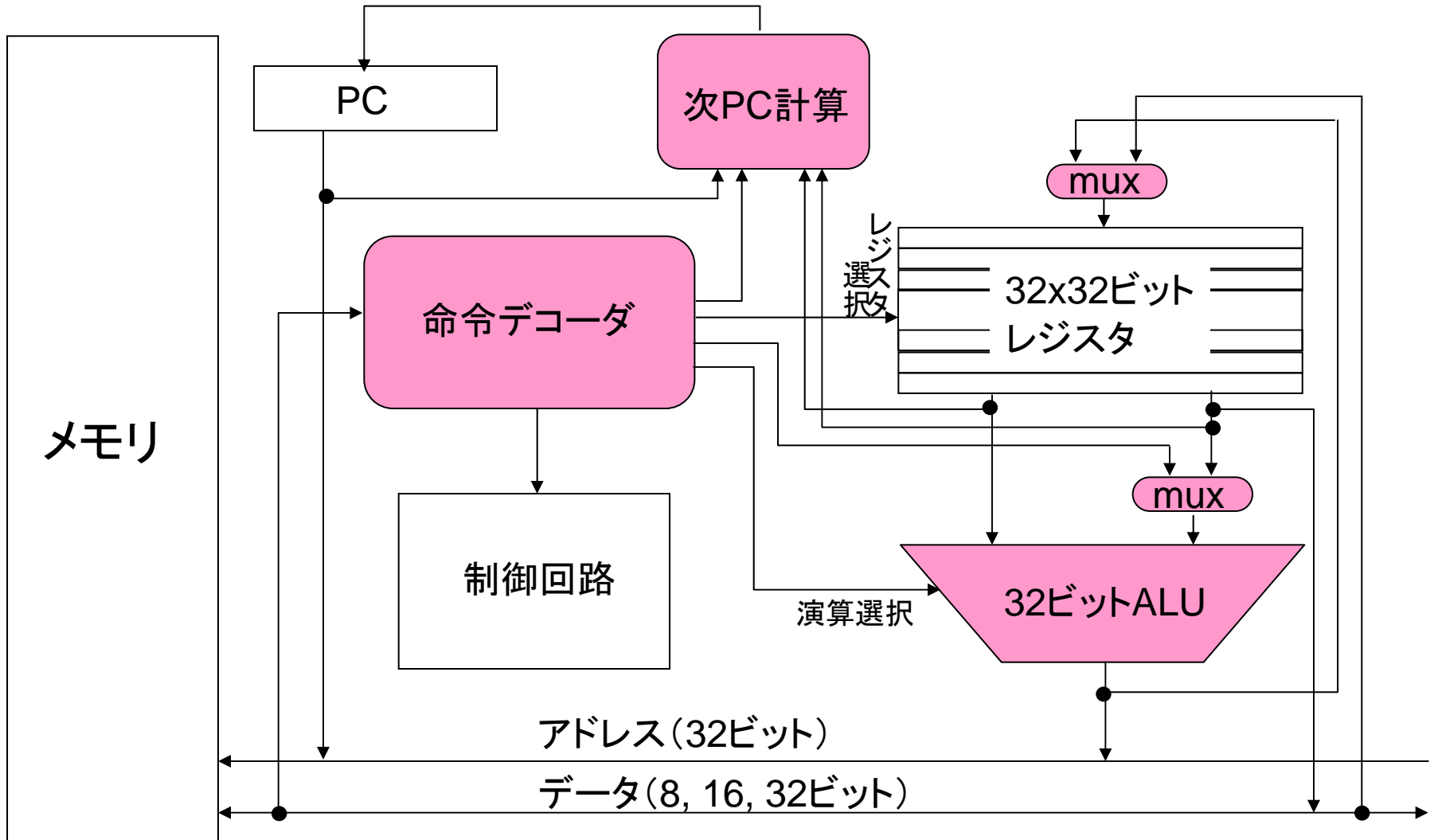
組合せ回路: 出力は, その時点の入力の組合せのみで決まる



順序回路: 出力は, 現在までにどんな入力がどんな順序で与えられたかによって決まる

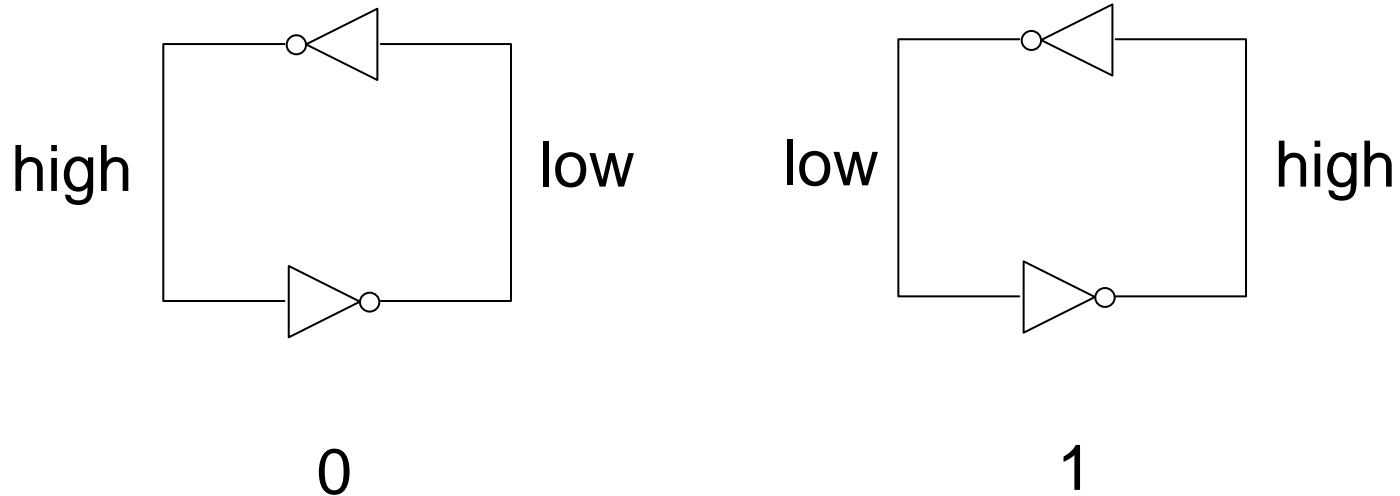
回路内に内部状態(記憶)が必

# 復習: MIPSの構造



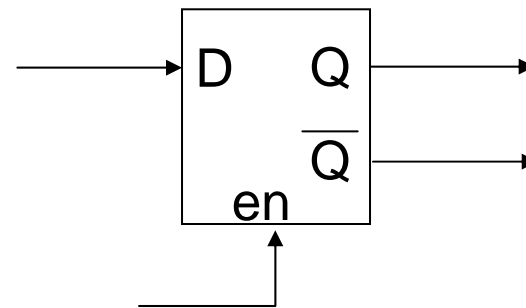
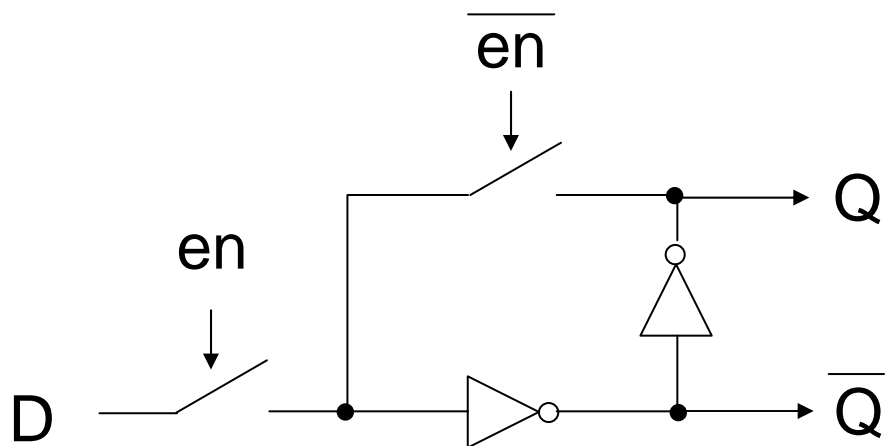
# 記憶の原理

2つの安定な物理状態を持つ系は、  
1ビットの情報を記憶することができる

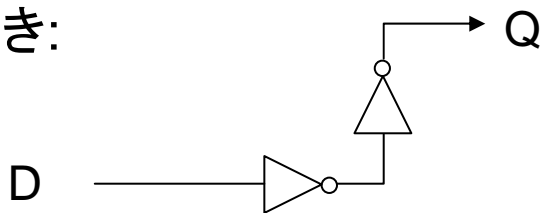


問題は、どのように読み書きするか？

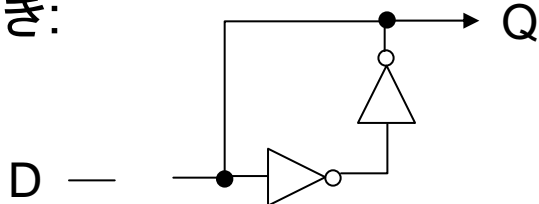
# Dラッチ



en = 1 のとき:



en = 0 のとき:



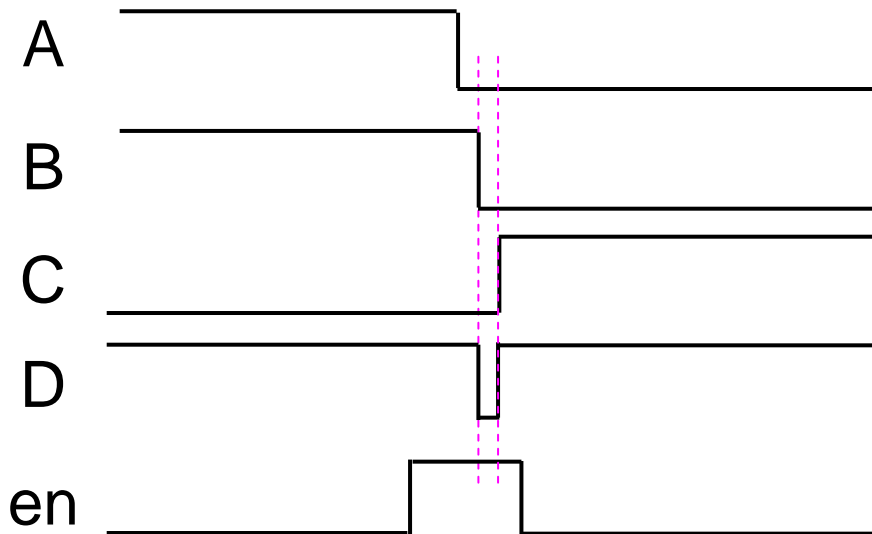
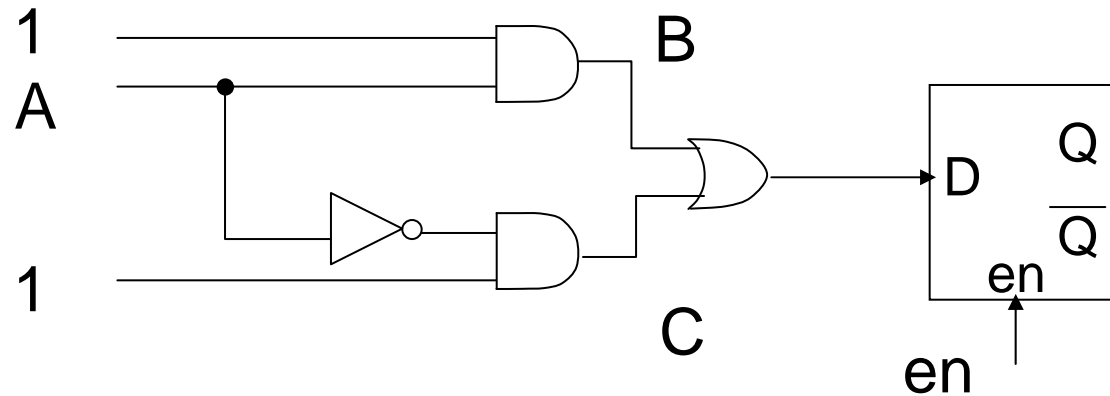
開いているとき ( $en = 1$ ) は,  
QはDに追従する

閉じた瞬間のDの値を覚えて,  
閉じている間のQはその値に  
なる



# 非同期順序回路の難しさ

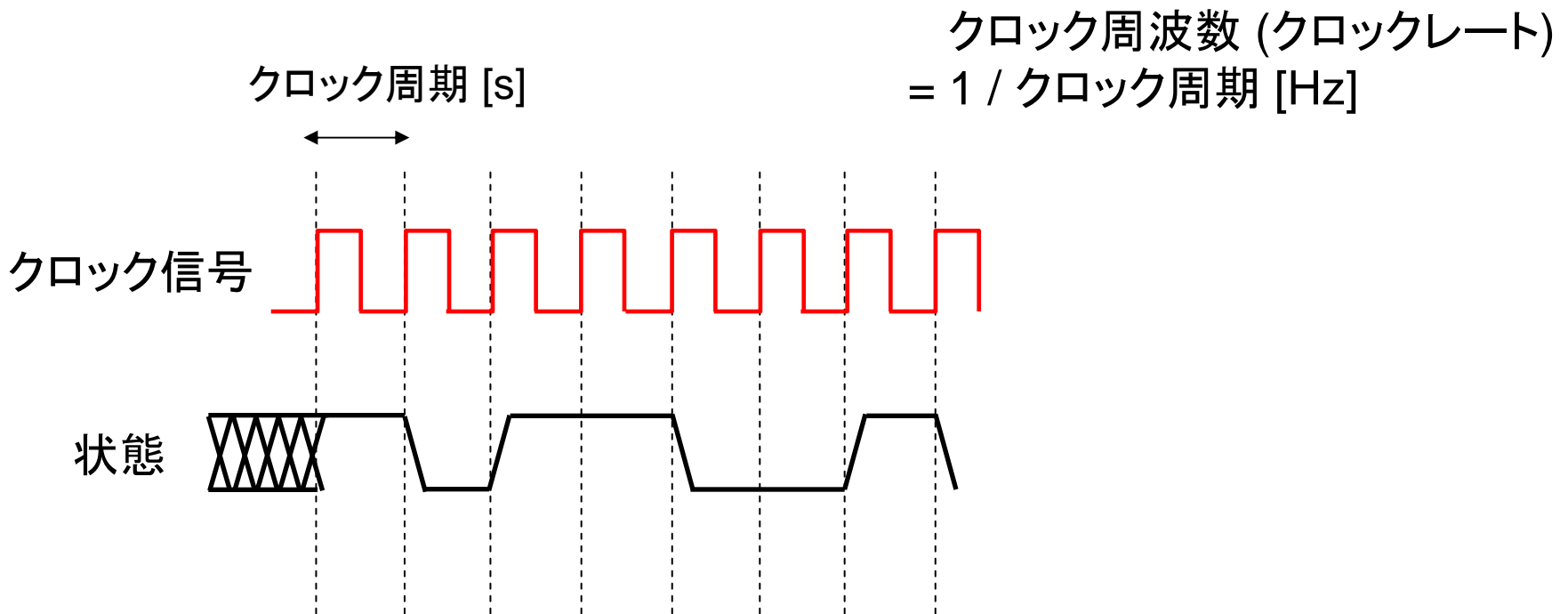
状態変化がいつでも起き得ると、連続時間での挙動を考慮しなくてはならず、設計が困難



en 信号のタイミングがずれたら?  
ゲートの遅延が変動したら?

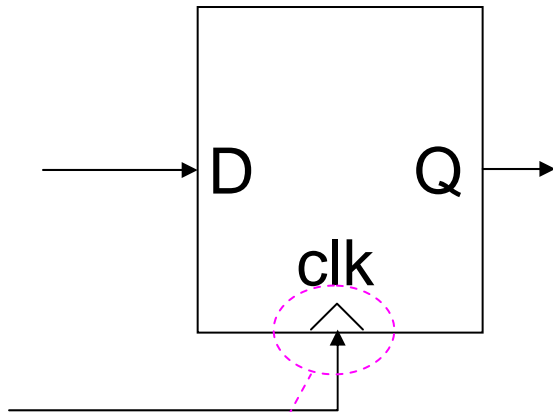
# 同期式順序回路

- ある決まった瞬間にしか状態変化が起きないように制限する.  
連続時間システムから離散時間システムへ
- 「ある決まった瞬間」は, クロック信号の立上り(または立下り)で定める





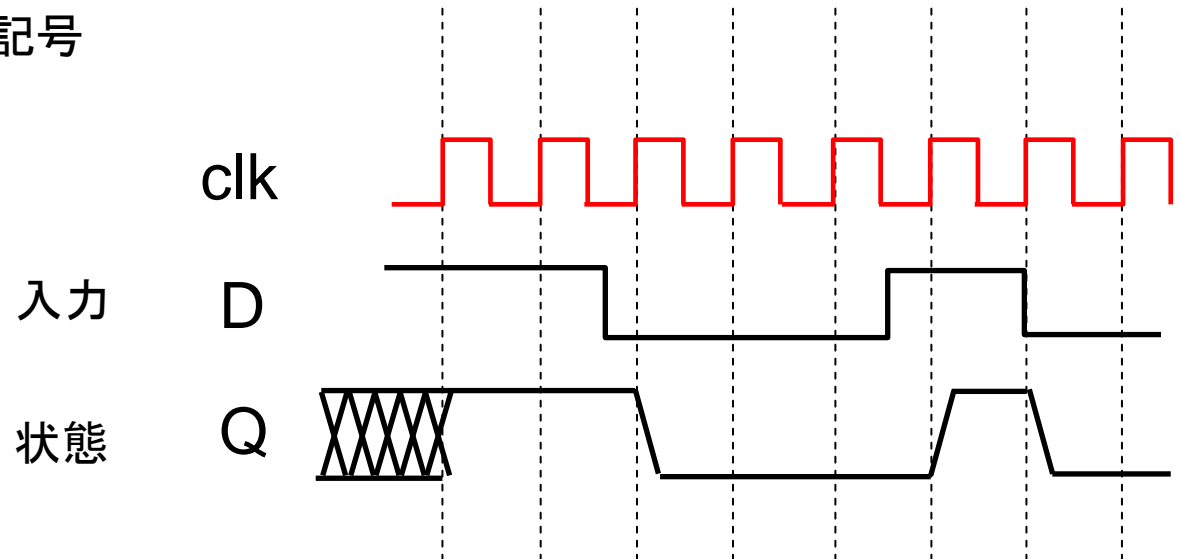
# Dフリップフロップ (D-FF)



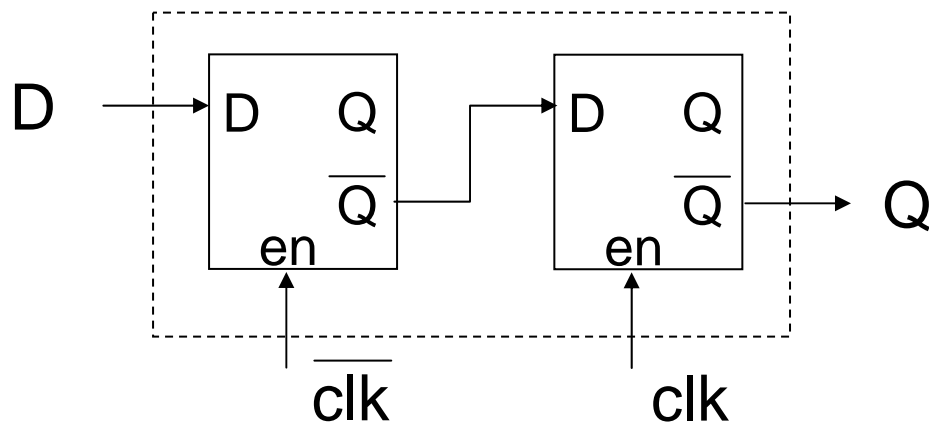
- クロック信号の立上りの瞬間(直前)の値を記憶する
- その瞬間以外に状態変化が起きることはない

(DラッチのことをD-FFと呼ぶ教科書もあるので注意.  
その場合, この回路のことはエッジトリガD-FFやク  
ロック同期D-FFなどと呼ばれることが多い)

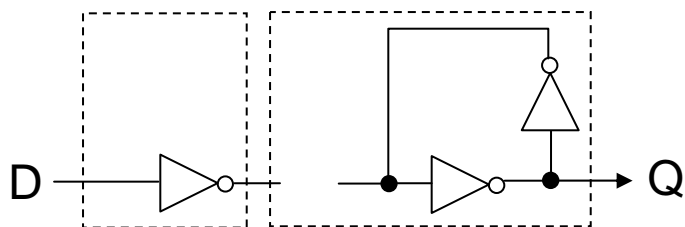
山型はエッジトリガ入力の記号



# D-FFの構成例 (マスタースレーブ型D-FF)

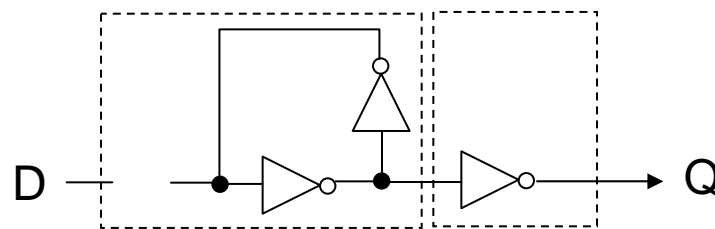


clk = 0 のとき:



後段のラッチは前の値を保持。  
前段のラッチは開き、次に保持すること  
になる情報を後段に素通しにしている

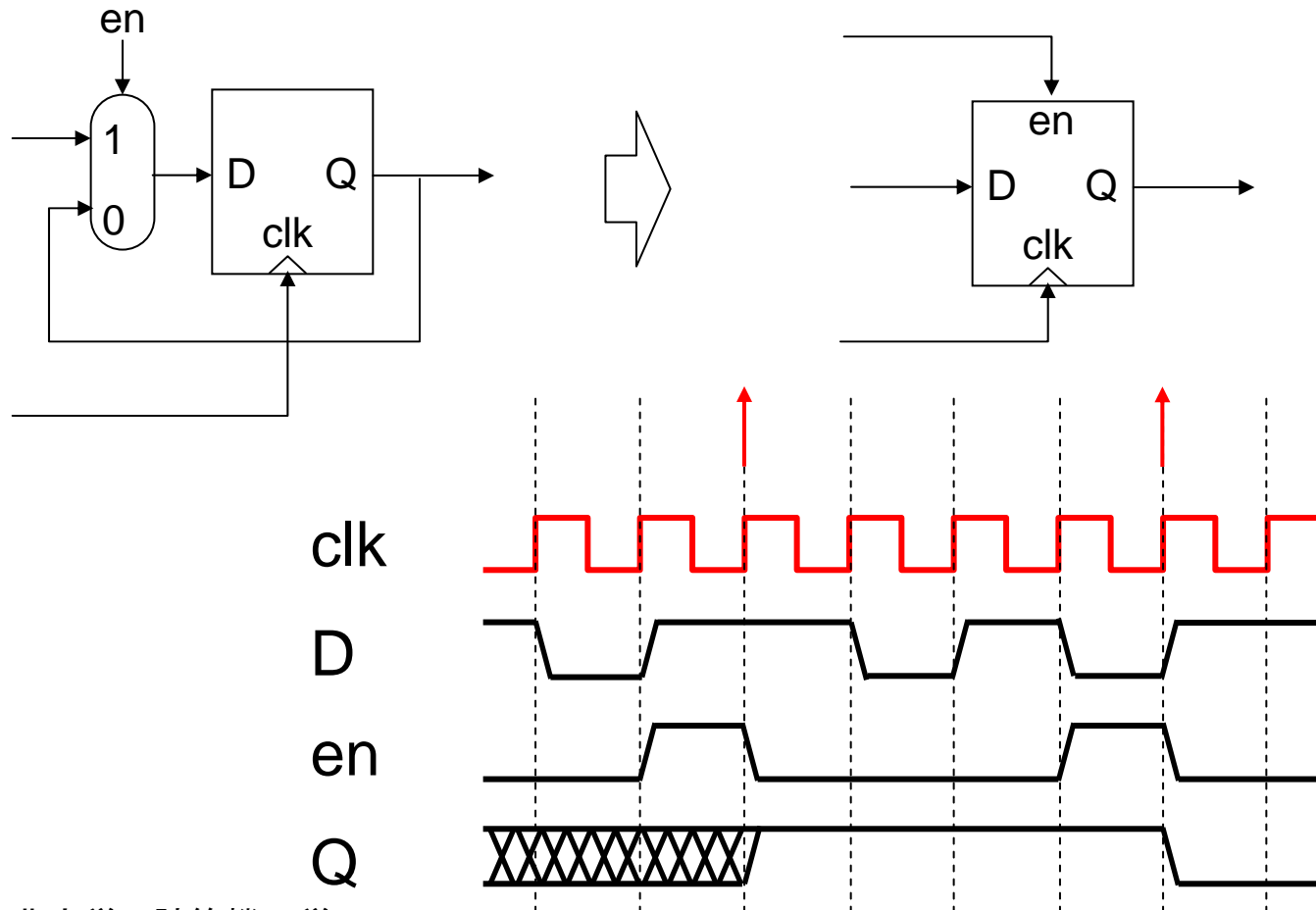
clk = 1 のとき:



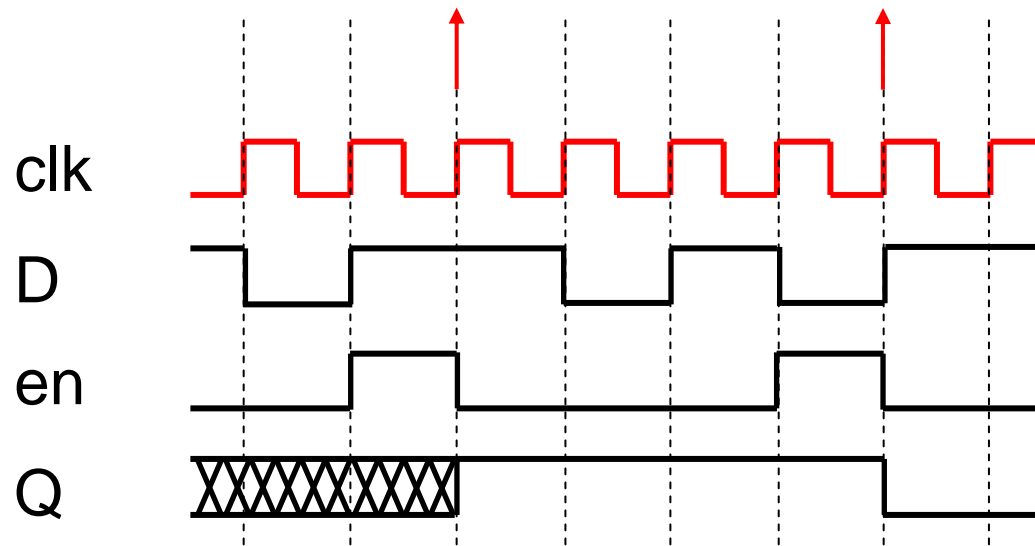
クロックが立ち上がると、前段のラッ  
チが閉じてその瞬間の値を記憶し、  
後段のラッチは開いて素通しになる

# イネーブルつきD-FF

- 毎クロック必ず記憶するのが便利とは限らない
- $en = 1$  であるようなクロック立上り時にだけ入力を記憶する  
(あるクロック立上りで記憶するかどうかはその瞬間の  $en$  で決まる)

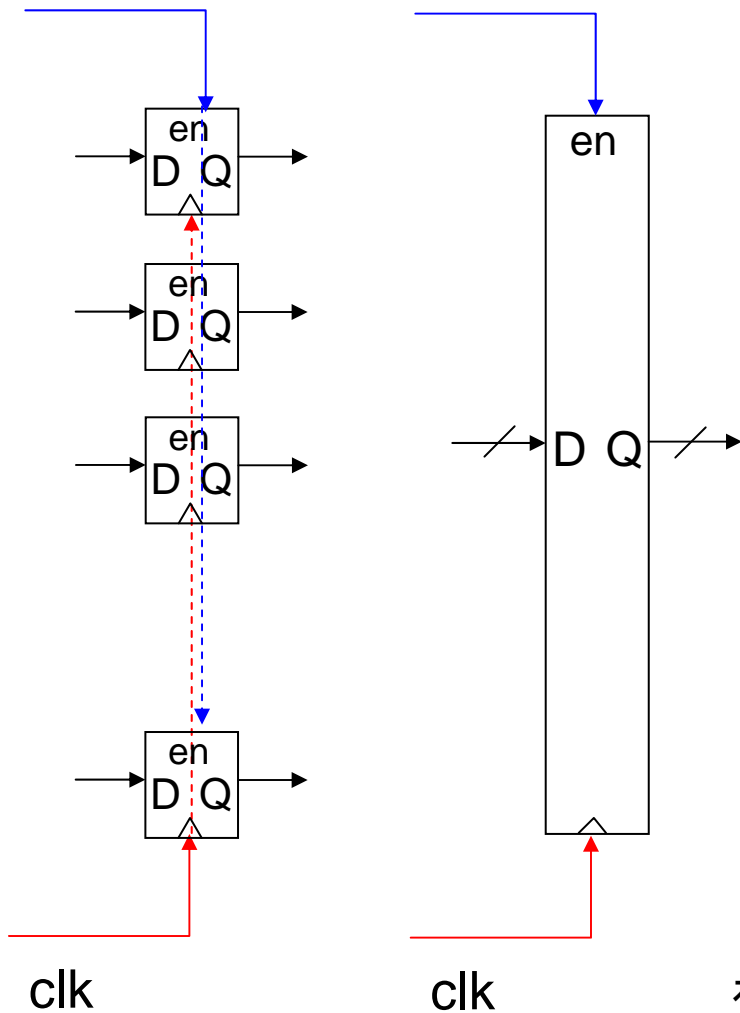


# 立上り・立下り時間を無視して描かれたチャートの解釈

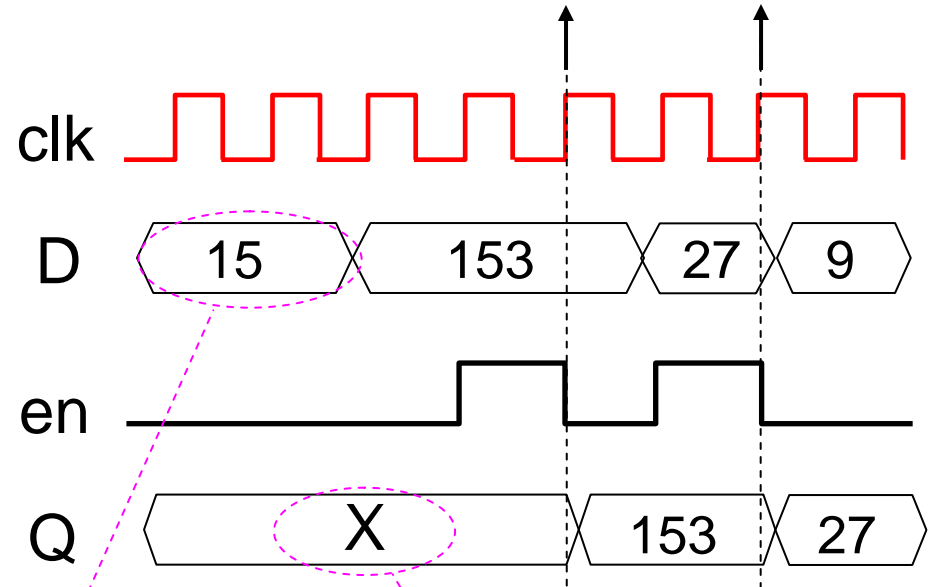


- 上図のように描かれた場合「クロック立上りの瞬間の D や en の値」はどこを見ればよいのか?  
→ クロック立上りの直前を見る
- D も en も同じ clk に同期した回路から生成されていると考える(完全同期式回路). したがって D や en の変化は clk の立上りに先立って起きることはない

# レジスタ



D-FFを n 個並べる → n ビットレジスタ

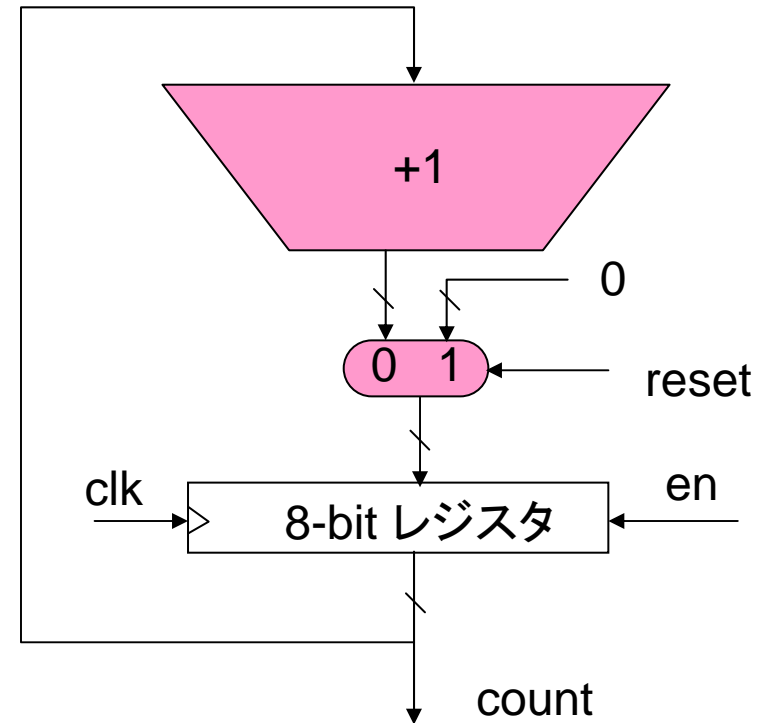
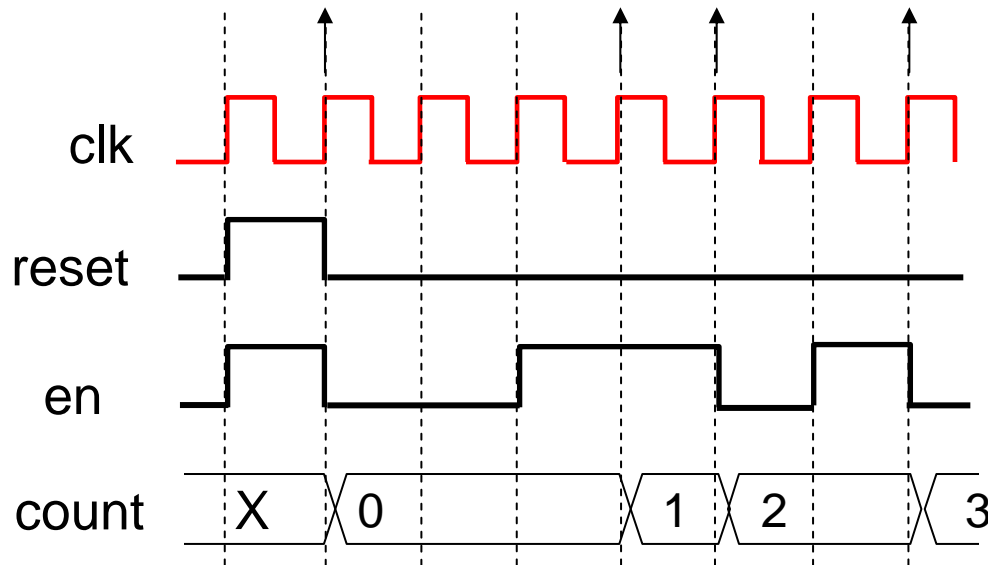


複数ビットをまとめて  
このように描く

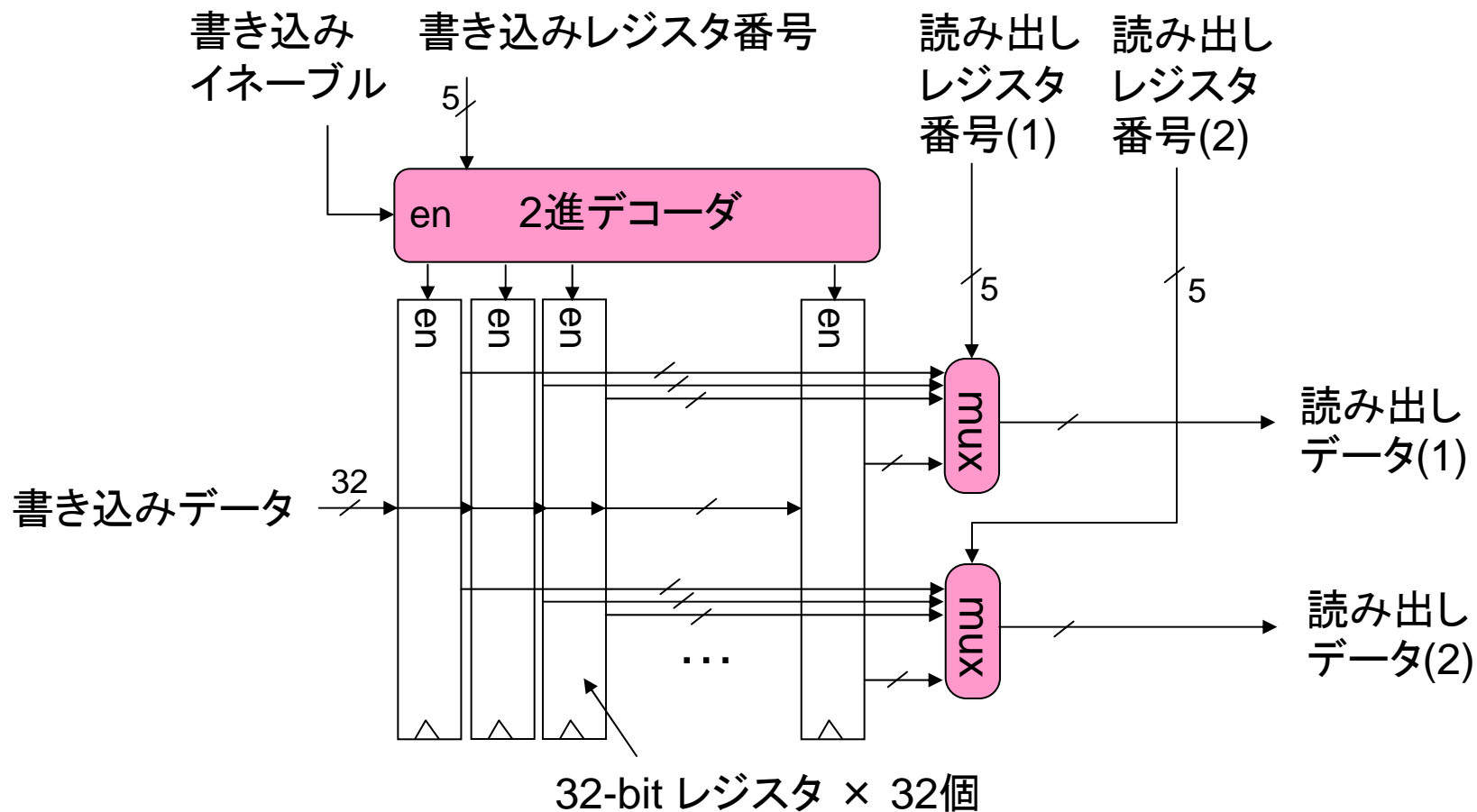
不定をこのように描いて  
済ますこともある

# 例: 同期2進カウンタ

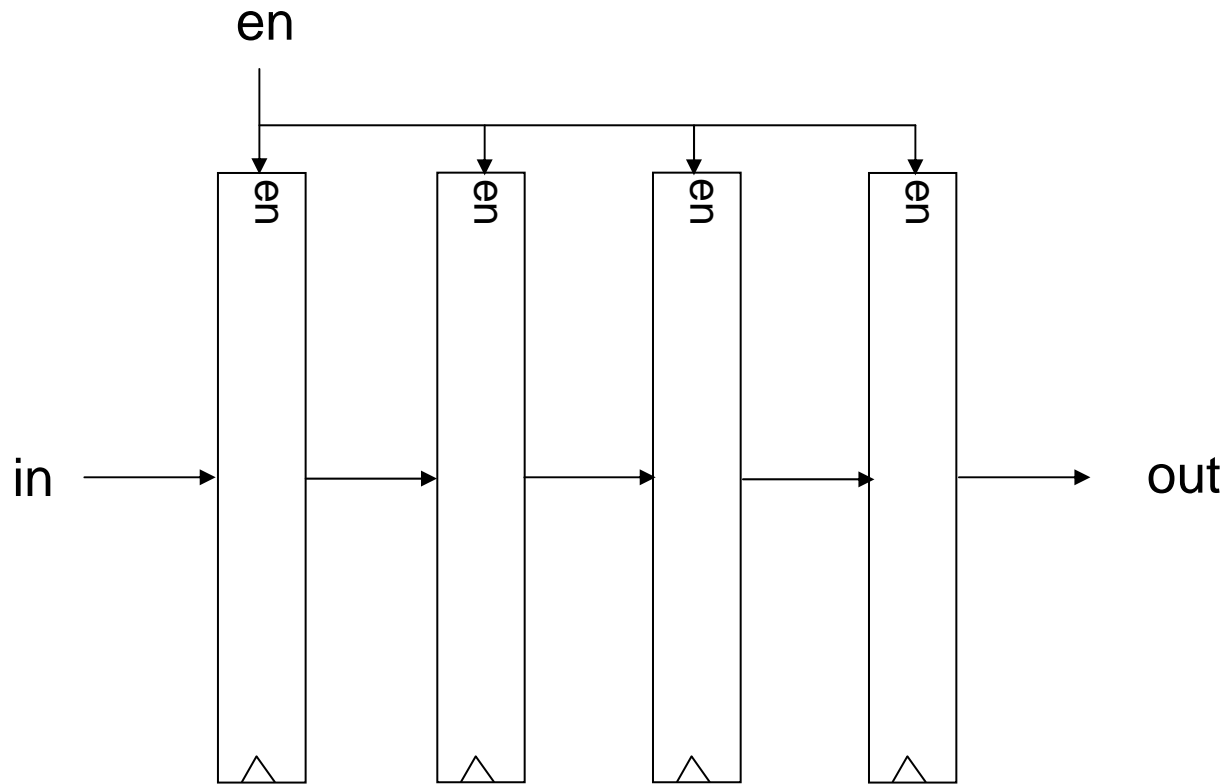
クロックの立上りの瞬間に en が1だった回数を数える



# 例: レジスタファイル (32 × 32ビット, 1入力2出力, 再掲)



# 例: シフトレジスタ

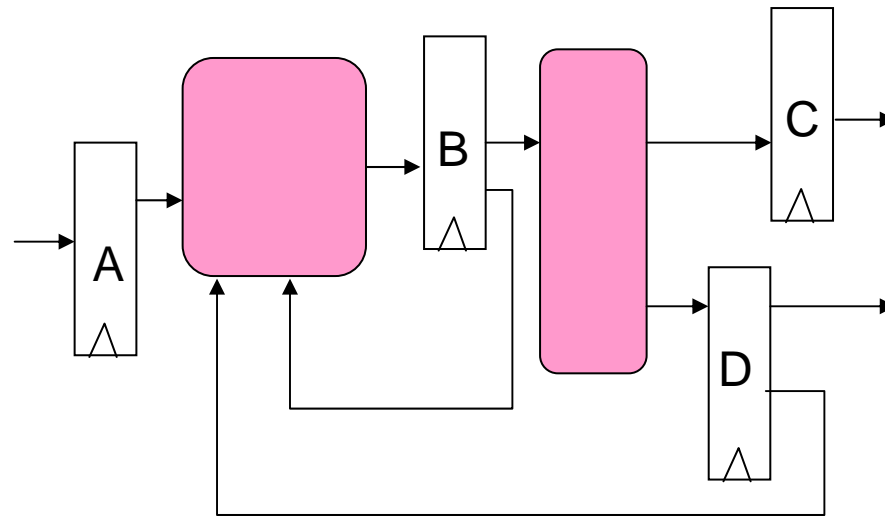


FIFO (first-in first-out) の記憶回路 (queue) として用いられる



# レジスタ間遅延とクリティカルパス

- 同期式順序回路: レジスタ間を組合せ回路でつないだもの
- クリティカルパス: レジスタ間の遅延が最大であるような信号経路



A → B: 8 ns

B → B: 5 ns

B → C: 2.5 ns

B → D: 7 ns

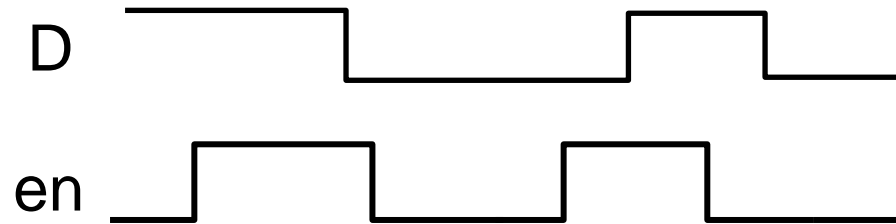
**D → B: 12.5 ns**

**クリティカルパス**の遅延で  
全体のクロック周波数が決まる

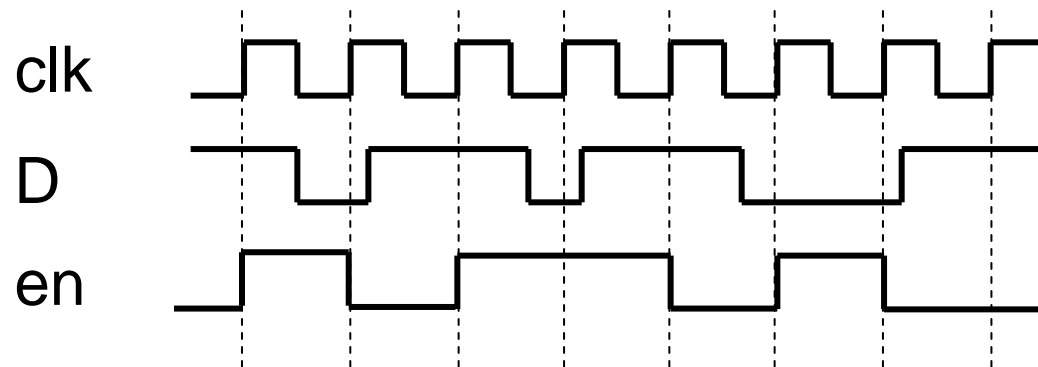
$$1 / (12.5 \times 10^{-9}) = 80\text{MHz}$$

# 練習問題(1)

1. 次のDラッチの出力Qはどのような信号になるか？ Qの初期状態は 0 とする.

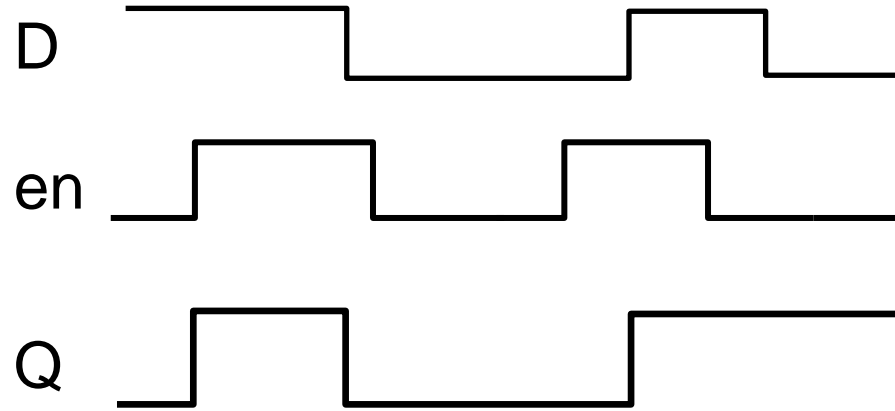


2. 次のイネーブル付きD-FFの出力Qはどのような信号になるか？ Qの初期状態は 0 とする.

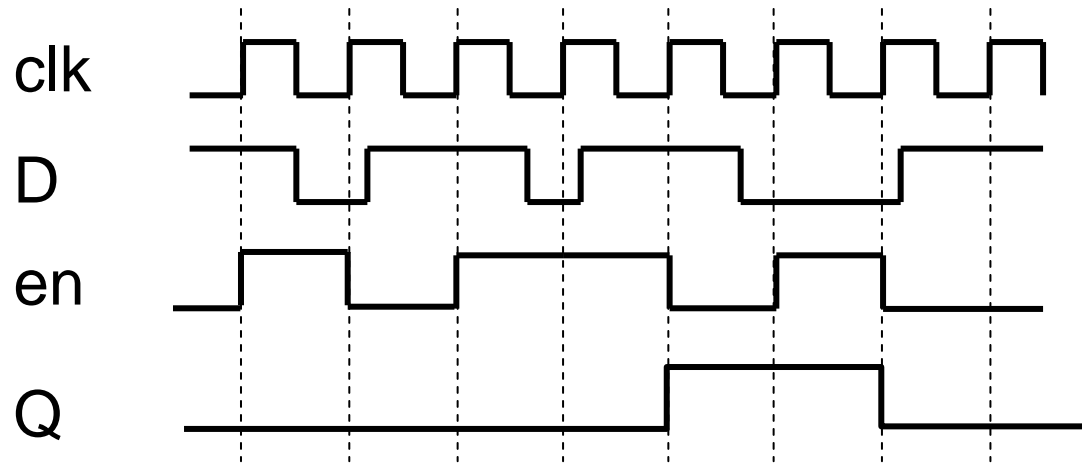


# 解答例

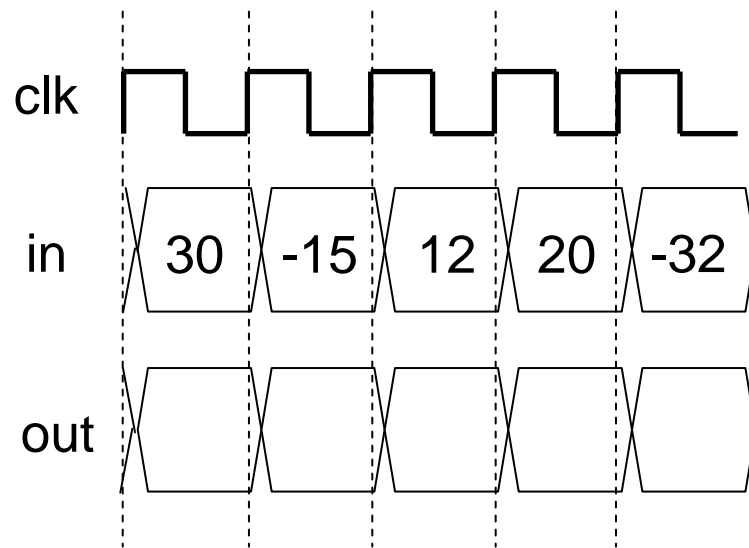
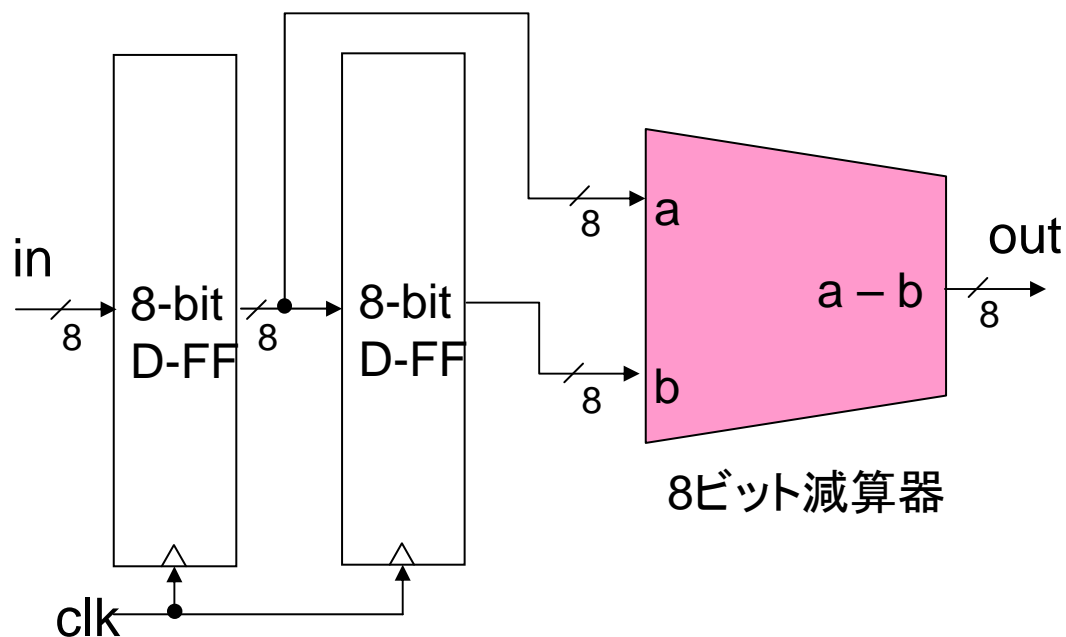
1.



2.



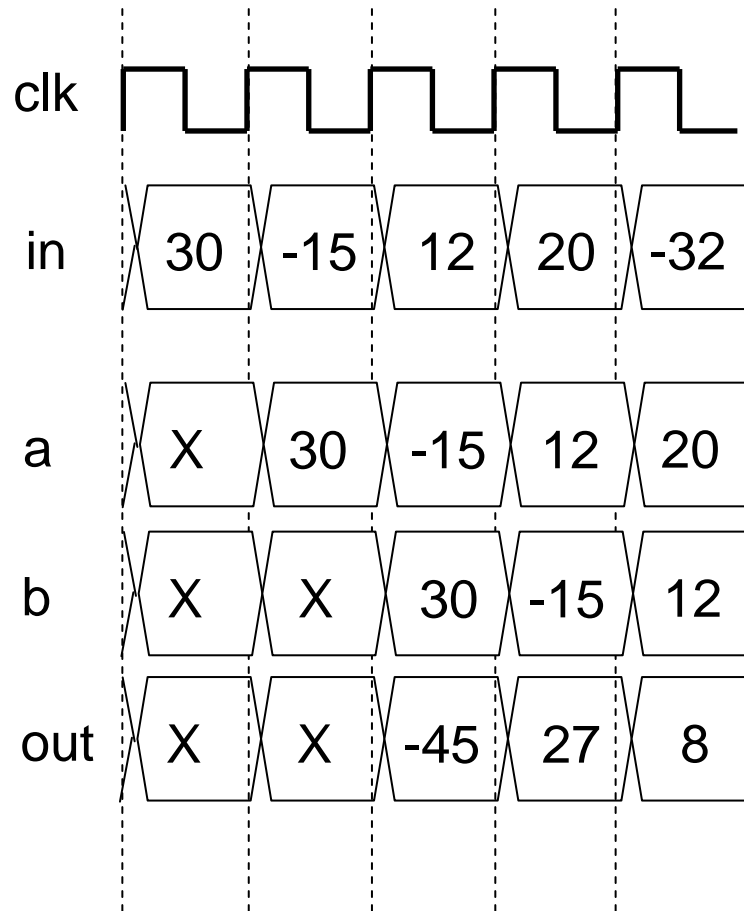
## 練習問題(2)



1. 入力信号  $in$  を10進数で表示した際の値が右のタイミングチャートのように変化したとする. 出力信号  $out$  はどのように変化するか. ただし, 値が不定であるときは  $\times$  を記入すること.
2. 図中の8ビット減算器の代わりに8ビット加算器を置き, その直後に1ビット算術右シフト回路を置いたとする. この改造によって, 図の順序回路が計算するものは何から何に変化するか説明せよ. ただし, オーバフローは考慮しなくてよい.

# 解答例

1.



2. 隣接時刻間の差分の代わりに、隣接時刻間の平均を計算することになる.